

#3
Priority
5/24/01
WS

Docket No.: 57454-072

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Shigeki OHBAYASHI

Serial No.:

Group Art Unit:

Filed: April 10, 2001

Examiner:

For: **STATIC SEMICONDUCTOR MEMORY DEVICE HAVING T-TYPE BIT LINE
STRUCTURE**



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2000-383164,
filed December 18, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:dtb
Date: April 10, 2001
Facsimile: (202) 756-8087

57454-072

Ohbayashi

April 10, 2001

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年12月18日

出願番号
Application Number:

特願2000-383164

出願人
Applicant(s):

三菱電機株式会社

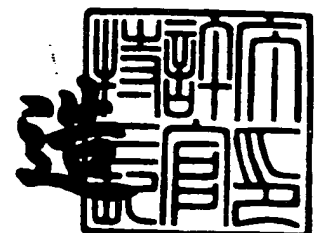
16979 U.S. PTO
09/829046
04/10/01

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月19日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 526845JP01

【提出日】 平成12年12月18日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 大林 茂樹

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スタティック型半導体記憶装置

【特許請求の範囲】

【請求項 1】 スタティック型半導体記憶装置であって、

各々が 8 行 M 列（ただし M は 2 以上の整数である）に配置された $8 \times M$ 個の横長型のメモリセルを含み、M 行 N 列（ただし、N は 2 以上の整数である）に配置された $M \times N$ 個のメモリブロック、

各メモリブロックの各メモリセル行に対応して設けられたワード線、

各メモリセル列に対応して M 個のメモリブロック行に共通に設けられた第 1 および第 2 のビット線、

各メモリブロックに対応して設けられ、対応の M 組の第 1 および第 2 のビット線のうちの予め定められた組の第 1 および第 2 のビット線にそれぞれ接続された第 1 および第 2 のビット線信号入出力線、

各メモリブロック行に対応して設けられ、対応のメモリブロック行のデータの入出力を行なうための第 1 および第 2 のデータ入出力線、

各メモリブロック行に対応して設けられた第 1 および第 2 の電源配線、

各メモリブロック行に対応して設けられ、対応のメモリブロック行を選択するためのグローバルワード線、

各メモリセル列に対応して $M \times N$ 個のメモリブロックに共通に設けられ、対応のメモリセル列を選択するためのグローバル列選択線、

アドレス信号に従って前記ワード線、前記グローバルワード線および前記グローバル列選択線を駆動し、前記 $M \times N$ 個のメモリブロックのうちのいずれかのメモリブロックと、そのメモリブロックに属する $8 \times M$ 個のメモリセルのうちのいずれかのメモリセルとを選択する選択回路、

前記メモリセルのデータの書込／読出を行なうための書込／読出回路、および前記選択回路によって選択されたメモリセルを前記第 1 および第 2 のビット線と前記第 1 および第 2 のビット線信号入出力線と前記第 1 および第 2 のデータ入出力線とを介して前記書込／読出回路に結合させるゲート回路を備え、

各メモリブロック列において M 組の前記第 1 および第 2 のビット線信号入出力

線、前記第 1 および第 2 のデータ入出力線、前記第 1 および第 2 の電源配線、前記グローバルワード線、ならびに前記グローバル列選択線は、それぞれ M 個のメモリブロックの上方に配置されて前記ワード線と同じ方向に延在し、

各組の前記第 1 および第 2 のビット線信号入出力線、前記第 1 および第 2 のデータ入出力線、前記第 1 および第 2 の電源配線、前記グローバルワード線、ならびに前記グローバル列選択線は、それぞれ対応のメモリブロックに含まれる 8 つのメモリセル行の上方に配置され、

前記第 1 の電源配線は、前記第 1 および第 2 のビット線信号入出力線ならびに前記第 1 および第 2 のデータ入出力線と前記グローバルワード線との間に配置され、

前記第 2 の電源配線は、前記第 1 および第 2 のビット線信号入出力線ならびに前記第 1 および第 2 のデータ入出力線と前記グローバル列選択線との間に配置されている、スタティック型半導体記憶装置。

【請求項 2】 M 組の第 1 および第 2 の電源配線は、それぞれ各メモリブロック列において M 組の第 1 および第 2 のビット線に対応して設けられ、

前記スタティック型半導体記憶装置は、

さらに、各メモリブロックに対応して設けられ、対応の第 1 の電源配線を介して与えられた電源電位を対応の第 1 および第 2 のビット線信号入出力線に与えるためのビット線負荷回路、および

各第 1 および第 2 のビット線に対応して設けられ、対応の第 2 の電源配線を介して与えられた前記電源電位を対応の各メモリセルに与えるための第 3 の電源配線を備える、請求項 1 に記載のスタティック型半導体記憶装置。

【請求項 3】 前記スタティック型半導体記憶装置では、不良なメモリセル行または列をスペアのメモリセル行または列で置換する冗長方式が採用され、

さらに、各第 1 の電源配線に対応して設けられ、その一方電極が対応の第 1 の電源配線に接続され、その他方電極が前記電源電位を受ける第 1 のスイッチング素子、

各第 2 の電源配線に対応して設けられ、その一方電極が対応の第 2 の電源配線に接続され、その他方電極が前記電源電位を受ける第 2 のスイッチング素子、お

よび

各第 1 および第 2 の電源配線に対応して設けられ、対応のメモリセル列が不良である場合にブローされる第 1 のヒューズを含み、該第 1 のヒューズがブローされたことに応じて対応の第 1 および第 2 のスイッチング素子を非導通にする第 1 のプログラム回路を備える、請求項 2 に記載のスタティック型半導体記憶装置。

【請求項 4】 前記選択回路は、

前記アドレス信号に従って M 本のグローバル列選択線のうちのいずれかのグローバル列選択線を選択し、そのグローバル列選択線を選択レベルにするグローバル列デコーダ、および

前記アドレス信号に従って M 本のグローバルワード線のうちのいずれかのグローバルワード線を選択し、そのグローバルワード線を選択レベルにするグローバル行デコーダを含み、

前記第 1 のプログラム回路は、さらに、前記第 1 のヒューズがブローされたことに応じて、前記グローバル列デコーダを制御して対応のグローバル列選択線を非選択レベルに固定させる、請求項 3 に記載のスタティック型半導体記憶装置。

【請求項 5】 前記第 1 のプログラム回路のうちの前記第 1 のヒューズ以外の部分と前記グローバル列デコーダとは、前記第 1 のヒューズと前記メモリブロックの間に配置されている、請求項 4 に記載のスタティック型半導体記憶装置。

【請求項 6】 さらに、各グローバルワード線に対応して設けられ、対応のメモリブロック行が不良である場合にブローされる第 2 のヒューズを含み、該第 2 のヒューズがブローされたことに応じて、前記グローバル行デコーダを制御して対応のグローバルワード線を非選択レベルに固定させる第 2 のプログラム回路を備える、請求項 4 に記載のスタティック型半導体記憶装置。

【請求項 7】 前記第 1 および第 2 のプログラム回路のうちの前記第 1 および第 2 のヒューズ以外の部分と前記グローバル列デコーダと前記グローバル行デコーダとは、前記第 1 および第 2 のヒューズと前記メモリブロックとの間に配置されている、請求項 6 に記載のスタティック型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はスタティック型半導体記憶装置に関し、特に、T型ビット線構造を有するスタティック型半導体記憶装置に関する。

【0002】

【従来の技術】

従来、スタティックランダムアクセスメモリ（以下、SRAMと称す）では、メモリセルのレイアウト面積が小さくてすむことから、高抵抗負荷型あるいはTFT負荷型の4トランジスタ+2ロードのメモリセルが主流であった。しかし、これらのメモリセルは低電圧動作特性が悪いため、SRAMの電源電圧が3Vから2.5V、1.8V、1.5Vと低電圧化されるにつれて衰退し、低電圧動作特性に優れた6トランジスタのフルCMOSセルが主流になりつつある。

【0003】

図13(a)は、そのようなフルCMOS型のメモリセルMCの構成を示す回路図である。図13(a)において、このメモリセルMCは、負荷トランジスタ（PチャネルMOSトランジスタ）81、82、ドライバトランジスタ（NチャネルMOSトランジスタ）83、84およびアクセストランジスタ（NチャネルMOSトランジスタ）85、86を含む。

【0004】

書込動作時は書込データに応じてビット線対BL、 \overline{BL} のうちの一方が「H」レベルにされるとともに他方が「L」レベルにされる。次いでワード線WLが選択レベルの「H」レベルにされてNチャネルMOSトランジスタ85、86が導通し、ビット線対BL、 \overline{BL} のレベルがそれぞれ記憶ノードN1、N2に与えられる。ワード線WLが非選択レベルの「L」レベルにされると、NチャネルMOSトランジスタ85、86が非導通になり、記憶ノードN1、N2のレベルがMOSトランジスタ81～84によってラッチされる。

【0005】

読出動作時は、ビット線対BL、 \overline{BL} の各々が「H」レベルに充電される。次いでワード線WLが選択レベルの「H」レベルにされてNチャネルMOSトランジスタ85、86が導通し、記憶ノードN1、N2のレベルに応じてビット線

対BL、／BLの一方からNチャネルMOSトランジスタ85、83または86、84を介してメモリセル接地配線MGLに電流が流出する。ビット線BLと／BLのレベルを比較することにより、メモリセルMCの記憶データが読出される。ワード線WLが非選択レベルの「L」レベルにされると、NチャネルMOSトランジスタ85、86が非導通になってデータの読出が終了する。

【0006】

図13(b)は、メモリセルMCのレイアウトを示す図である。シリコン基板の表面に、図中Y方向に延在する2本のゲート電極GE1、GE2が平行に形成されるとともに、図中X方向に延在するワード線WLが形成される。ゲート電極GE1、GE2およびワード線WLは、ポリシリコン層で形成される。ゲート電極GE1、GE2の一方端部の一方側から他方側にかけてそれぞれP型活性層PA1、PA2が形成される。ゲート電極GE1の他方端部の一方側から他方側およびワード線WLの一方端部の一方側から他方側にかけてN型活性層NA1が形成される。ゲート電極GE2の他方端部の一方側から他方側およびワード線WLの他方端部の一方側から他方側にかけてN型活性層NA2が形成される。

【0007】

P型活性層PA1とゲート電極GE1、P型活性層PA2とゲート電極GE2は、それぞれPチャネルMOSトランジスタ81、82を構成する。N型活性層NA1とゲート電極GE1、N型活性層NA2とゲート電極GE2は、それぞれNチャネルMOSトランジスタ83、84を構成する。N型活性層NA1とワード線WL、N型活性層NA2とワード線WLは、それぞれNチャネルMOSトランジスタ85、86を構成する。

【0008】

次に、複数のローカル配線LLが形成される。図13(b)において、ローカル配線LLと活性層が重なっている部分では、ローカル配線LLと活性層が導通している。活性層PA1、PA2の一方端部（PチャネルMOSトランジスタ81、82のソース）は、ともにメモリセル電源配線MVLに接続される。メモリセル電源配線MVLは、ローカル配線LL1で構成されている。

【0009】

P型活性層PA1の他方端部（PチャネルMOSトランジスタ81のドレイン）は、ローカル配線LL2を介してN型活性層NA1の中央部（NチャネルMOSトランジスタ83、85のドレイン）に接続される。P型活性層PA2の他方端部（PチャネルMOSトランジスタ82のドレイン）は、ローカル配線LL3を介してN型活性層NA2の中央部（NチャネルMOSトランジスタ84、86のドレイン）に接続される。ローカル配線LL2、LL3は、それぞれコンタクトホールCH、CHを介してゲート電極GE2、GE1に接続される。

【0010】

さらに、第1アルミ配線層によって、図中Y方向に延在するビット線対BL、／BLおよびメモリセル接地線MGL、MGLが平行に形成される。N型活性層NA1、NA2の一方端部（NチャネルMOSトランジスタ83、84のソース）は、それぞれコンタクトホールCH、CHを介してメモリセル接地線MGL、MGLに接続される。N型活性層NA1、NA2の他方端部（NチャネルMOSトランジスタ85、86のドレイン）は、それぞれコンタクトホールCH、CHを介してビット線BL、／BLに接続される。

【0011】

さて、このようなSRAMでは、製造中にメモリセルMCに異物が付着し、（1）記憶ノードN1、N2間のショート、（2）記憶ノードN1またはN2とメモリセル電源配線MVL間のショート、（3）記憶ノードN1またはN2とメモリセル接地配線MGL間のショート、（4）記憶ノードN1またはN2とワード線WL間のショート、（5）記憶ノードN1またはN2とビット線BLまたは／BL間のショート、（6）ビット線BLまたは／BLとワード線WL間のショート、（7）ワード線WLとメモリセル電源配線MVL間のショート、（8）ビット線BLまたは／BLとメモリセル接地配線MGL間のショート、（9）メモリセル電源配線MVLとメモリセル接地配線MGL間のショートが発生する場合がある。図13（a）（b）で示したメモリセルMCでは、ビット線対BL、／BLとメモリセル接地配線MGL、MGLが平行に隣接して配置されているので、特に（8）のショートが発生しやすい。

【0012】

このようなショートが発生したメモリセルMCは正常に動作しなくなる。そこで、SRAMでは、不良なメモリセルMCを含む行または列と置換するためのスペア行または列と、不良な行または列のアドレスをプログラムするためのプログラム回路を設けておき、不良な行または列のアドレスが入力された場合は不良な行または列の代わりにスペア行または列を選択することにより、不良品を救済する冗長方式が採用されている。

【0013】

また、単に不良な行または列をスペア行または列と置換するだけでは、ショートした部分にリーク電流が流れ続け、スタンバイ電流が規格値をオーバーしてしまう。そこで、各行または列のメモリセル電源配線MVLと電源電位VDDのラインとの間にヒューズを設けたり、各列のビット線対BL、 \overline{BL} と電源電位VDDのラインとの間にヒューズを設け、不良な行または列のヒューズをブローすることにより、スタンバイ電流を低減化する方法も採用されている。

【0014】

しかし、従来のSRAMでは、ビット線対BL、 \overline{BL} の端部にビット線負荷回路、センスアンプ、ゲート回路、ヒューズなどが集中し、ビット線対BL、 \overline{BL} の幅を狭めることが困難であった。そこで、いわゆるT型ビット線構造が提案された（特開平9-162305号公報，特開平11-306762号公報参照）。

【0015】

このT型ビット線構造のSRAMでは、メモリアレイ領域が複数行複数列の複数のメモリブロックに分割される。各メモリブロックは、図14（a）（b）に示すように、4行複数列（図では4列）の複数のメモリセルMCを含む。各メモリブロックにおいて、図中X方向に延在するグローバルワード線GWL、ローカルデータ入出力線LIO、ビット線信号入出力線BL'、ビット線信号入出力線 $\overline{BL'}$ 、ローカルデータ入出力線 \overline{LIO} 、およびグローバル列選択線GYLが第2アルミ配線層によって形成される。これらの6本の配線GWL，LIO，BL'， $\overline{BL'}$ ， \overline{LIO} ，GYLは、各メモリブロックに含まれる4行のメモリセルMC行の上方に等間隔で形成される。ビット線信号入出力線対BL'，

／BL' は、それぞれコンタクトホールCH、CHを介して対応する列のビット線対BL、／BLに接続される。

【0016】

このSRAMでは、ビット線負荷回路、センスアンプ、ゲート回路、ヒューズなどをビット線信号入出力線対BL'，／BL'の端部に配置できるので、ビット線対BL，／BLの幅を狭めることができ、レイアウト面積の縮小化が可能となる。

【0017】

【発明が解決しようとする課題】

ところで、図13(a)(b)で示した縦長型のメモリセルMCでは、メモリセルMCのワード線WL方向の長さとはビット線対BL，／BL方向の長さとの比が2対3程度である。これに対して、メモリセルMCのワード線WL方向の長さとはビット線対BL，／BL方向の長さとの比が3対1程度の横長型のメモリセルMCも提案されている(特開平9-270468号公報参照)。この横長型メモリセルMCでは、ビット線対BL，／BL方向の長さがワード線WL方向の長さよりも短いので、ビット線対BL，／BLによる信号遅延を抑えて読出／書込速度の高速化を図ることが可能である。

【0018】

しかし、縦長型のメモリセルMCと横長型のメモリセルMCとを同じデザインルールでレイアウトした場合、縦長型のメモリセルMCでは1メモリセル行当り1.5本の配線(4メモリセル行当り6本の配線GWL，LIO，BL'，／BL'，／LIO，GYL)を配置できるが、横長型のメモリセルMCでは1メモリセル行当り1.0本の配線を配置するのが限度である。すなわち、横長型メモリセルMCを採用した場合は、図14(a)(b)で示したようなレイアウトを採用してT型ビット線構造のSRAMを構成することはできない。

【0019】

それゆえに、この発明の主たる目的は、レイアウト面積が小さく、動作速度が速いスタティック型半導体記憶装置を提供することである。

【0020】

【課題を解決するための手段】

この発明に係るスタティック型半導体記憶装置は、各々が8行M列（ただしMは2以上の整数である）に配置された $8 \times M$ 個の横長型のメモリセルを含み、M行N列（ただし、Nは2以上の整数である）に配置された $M \times N$ 個のメモリブロックと、各メモリブロックの各メモリセル行に対応して設けられたワード線と、各メモリセル列に対応してM個のメモリブロック行に共通に設けられた第1および第2のビット線と、各メモリブロックに対応して設けられ、対応のM組の第1および第2のビット線のうちの予め定められた組の第1および第2のビット線にそれぞれ接続された第1および第2のビット線信号入出力線と、各メモリブロック行に対応して設けられ、対応のメモリブロック行のデータの入出力を行なうための第1および第2のデータ入出力線と、各メモリブロック行に対応して設けられた第1および第2の電源配線と、各メモリブロック行に対応して設けられ、対応のメモリブロック行を選択するためのグローバルワード線と、各メモリセル列に対応して $M \times N$ 個のメモリブロックに共通に設けられ、対応のメモリセル列を選択するためのグローバル列選択線と、アドレス信号に従ってワード線、グローバルワード線およびグローバル列選択線を駆動し、 $M \times N$ 個のメモリブロックのうちのいずれかのメモリブロックと、そのメモリブロックに属する $8 \times M$ 個のメモリセルのうちのいずれかのメモリセルとを選択する選択回路と、メモリセルのデータの書込／読出を行なうための書込／読出回路と、選択回路によって選択されたメモリセルを第1および第2のビット線と第1および第2のビット線信号入出力線と第1および第2のデータ入出力線とを介して書込／読出回路に結合させるゲート回路とを備えたものである。ここで、各メモリブロック列においてM組の第1および第2のビット線信号入出力線、第1および第2のデータ入出力線、第1および第2の電源配線、グローバルワード線、ならびにグローバル列選択線は、それぞれM個のメモリブロックの上方に配置されてワード線と同じ方向に延在している。各組の第1および第2のビット線信号入出力線、第1および第2のデータ入出力線、第1および第2の電源配線、グローバルワード線、ならびにグローバル列選択線は、それぞれ対応のメモリブロックに含まれる8つのメモリセル行の上方に配置される。第1の電源配線は、第1および第2のビット線信号入

出力線ならびに第 1 および第 2 のデータ入出力線とグローバルワード線との間に配置される。第 2 の電源配線は、第 1 および第 2 のビット線信号入出力線ならびに第 1 および第 2 のデータ入出力線とグローバル列選択線との間に配置される。

【 0 0 2 1 】

好ましくは、M組の第 1 および第 2 の電源配線は、それぞれ各メモリブロック列においてM組の第 1 および第 2 のビット線に対応して設けられ、スタティック型半導体記憶装置は、さらに、各メモリブロックに対応して設けられ、対応の第 1 の電源配線を介して与えられた電源電位を対応の第 1 および第 2 のビット線信号入出力線に与えるためのビット線負荷回路と、各第 1 および第 2 のビット線に対応して設けられ、対応の第 2 の電源配線を介して与えられた電源電位を対応の各メモリセルに与えるための第 3 の電源配線とを備える。

【 0 0 2 2 】

また好ましくは、スタティック型半導体記憶装置では、不良なメモリセル行または列をスペアのメモリセル行または列で置換する冗長方式が採用され、さらに、各第 1 の電源配線に対応して設けられ、その一方電極が対応の第 1 の電源配線に接続され、その他方電極が電源電位を受ける第 1 のスイッチング素子と、各第 2 の電源配線に対応して設けられ、その一方電極が対応の第 2 の電源配線に接続され、その他方電極が電源電位を受ける第 2 のスイッチング素子と、各第 1 および第 2 の電源配線に対応して設けられ、対応のメモリセル列が不良である場合にブローされる第 1 のヒューズを含み、その第 1 のヒューズがブローされたことに応じて対応の第 1 および第 2 のスイッチング素子を非導通にする第 1 のプログラム回路とが設けられる。

【 0 0 2 3 】

また好ましくは、選択回路は、アドレス信号に従ってM本のグローバル列選択線のうちのいずれかのグローバル列選択線を選択し、そのグローバル列選択線を選択レベルにするグローバル列デコーダと、アドレス信号に従ってM本のグローバルワード線のうちのいずれかのグローバルワード線を選択し、そのグローバルワード線を選択レベルにするグローバル行デコーダとを含み、第 1 のプログラム回路は、さらに、第 1 のヒューズがブローされたことに応じて、グローバル列デ

コーダを制御して対応のグローバル列選択線を非選択レベルに固定させる。

【0024】

また好ましくは、第1のプログラム回路のうちの第1のヒューズ以外の部分とグローバル列デコーダとは、第1のヒューズとメモリブロックの間に配置されている。

【0025】

また好ましくは、さらに、各グローバルワード線に対応して設けられ、対応のメモリブロック行が不良である場合にブローされる第2のヒューズを含み、その第2のヒューズがブローされたことに応じて、グローバル行デコーダを制御して対応のグローバルワード線を非選択レベルに固定させる第2のプログラム回路が設けられる。

【0026】

また好ましくは、第1および第2のプログラム回路のうちの第1および第2のヒューズ以外の部分とグローバル列デコーダとグローバル行デコーダとは、第1および第2のヒューズとメモリブロックとの間に配置されている。

【0027】

【発明の実施の形態】

図1は、この発明の一実施の形態によるSRAMのレイアウトを示す図である。図1において、このSRAMは、図中X方向に順次配列されたグローバル行デコーダ1、メモリアレイ領域2、書込／読出回路3、グローバル列デコーダ4および電源制御回路5を備える。

【0028】

メモリアレイ領域2は、256行×8列に配置された2048個のメモリブロックMBに分割されている。各メモリブロックMBは、8行256列のメモリセルを含む。このメモリアレイ領域2には、4Mビットのデータが格納可能になっている。なお、スペア列は各メモリブロックMB列に2つ設けられており、スペア行は16設けられている。

【0029】

各メモリブロックMB行には、図2に示すように、グローバルワード線GWL

、ビット線負荷電源配線BVL、ローカルデータ入出力線対LIO、／LIO、メモリセル電源配線MVLおよびグローバル列選択線GYLが設けられている。

【0030】

グローバル行デコーダ1は、行アドレス信号に従って256本のグローバルワード線GWLのうちのいずれかのグローバルワード線GWLを選択し、そのグローバルワード線GWLを非選択レベルの「H」レベルから選択レベルの「L」レベルに立下げる。

【0031】

グローバル列デコーダ4は、列アドレス信号に従って256本のグローバル列選択線GYLのうちのいずれかのグローバル列選択線GYLを選択し、そのグローバル列選択線GYLを非選択レベルの「H」レベルから活性化レベルの「L」レベルに立下げる。

【0032】

書込／読出回路3は、256組のローカルデータ入出力線対LIO、／LIOの一方端部に結合され、グローバル列デコーダ4によって選択されたグローバル列選択線GYLに対応する列のローカルデータ入出力線対LIO、／LIOを介して選択されたメモリセルのデータの書込／読出を行なう。

【0033】

電源制御回路5は、各電源配線BVL、MBLに対応して設けられたスイッチ回路SWおよびプログラム回路PGを含む。後述するが、電源配線BVL、MVLは、各メモリセル列に対応して設けられており、対応の列のビット線負荷回路および各メモリセルに電源電位VDD'を与える。

【0034】

スイッチ回路SWは、ビット線負荷電源配線BVLおよびメモリセル電源配線MVLの一方端と電源電位VDD'のラインとの間に接続される。プログラム回路PGは、対応するメモリセル列が不良な場合にブローされるヒューズを含み、そのヒューズがブローされた場合は、スイッチ回路SWを制御して対応の電源配線BVL、MVLへの電源供給を停止させるとともに、グローバル列デコーダ4を制御して対応のグローバル列選択線GYLを非選択レベルの「H」レベルに固

定させる。

【0035】

各メモリブロックMBは、図3に示すように、8行256列の横長型メモリセルMCと、各行に対応して設けられたワード線WLと、各列に対応して設けられたビット線対BL，／BLおよび副メモリセル電源配線MVL' と、256列のうちの1列に対応して設けられたビット線信号入出力線対BL'，／BL' と、ローカル行デコーダ6およびビット線負荷+データ入出力制御回路7を含む。ビット線対BL，／BLおよび副メモリセル電源配線MVL' は、同じ列の256のメモリブロックMBに共通に設けられている。

【0036】

1行目の各メモリブロックMBのビット線信号入出力線対BL'，／BL' の一方端は、そのメモリブロックMBの1列目のビット線対BL，／BLに接続されている。2行目の各メモリブロックMBのビット線信号入出力線対BL'，／BL' の一方端は、そのメモリブロックMBの2列目のビット線対BL，／BLに接続されている。以下、同様である。各メモリブロックMBにおいて、ビット線信号入出力線対BL'，／BL' は、対応するビット線対BL，／BLと直角に設けられている。

【0037】

また、1行目のメモリブロックMB行のメモリセル電源配線MVLは、その行の各メモリブロックMBの1列目の副メモリセル電源配線MVL' に接続されている。2行目のメモリブロックMB行のメモリセル電源配線MVLは、その行の各メモリブロックMBの2列目の副メモリセル電源配線MVL' に接続されている。以下、同様である。

【0038】

詳しく説明すると、横長型メモリセルMCは、図4（a）に示すように、負荷トランジスタ（PチャネルMOSトランジスタ）11，12、ドライバトランジスタ（NチャネルMOSトランジスタ）13，14およびアクセストランジスタ（NチャネルMOSトランジスタ）15，16を含む。PチャネルMOSトランジスタ11，12は、それぞれ副メモリセル電源配線MVL' と記憶ノードN1

、N 2 との間に接続され、各々のゲートはそれぞれノード N 2，N 1 に接続される。副メモリセル電源配線 M V L' には、電源電位 V D D' が供給される。N チャンネル MOS トランジスタ 1 3，1 4 は、それぞれ記憶ノード N 1，N 2 とメモリセル接地配線 M G L との間に接続され、各々のゲートはそれぞれノード N 2，N 1 に接続される。メモリセル接地配線 M G L には、接地電位 V S S が供給される。N チャンネル MOS トランジスタ 1 5，1 6 は、それぞれ記憶ノード N 1，N 2 とビット線 B L， $\overline{B L}$ との間に接続され、各々のゲートはともにワード線 W L に接続される。

【 0 0 3 9 】

書込動作時は、外部から与えられる書込データ D I に応じてビット線対 B L， $\overline{B L}$ のうちの一方が「H」レベルにされるとともに他方が「L」レベルにされる。次いで、ワード線 W L が選択レベルの「H」レベルにされ、N チャンネル MOS トランジスタ 1 5，1 6 が導通し、ビット線対 B L， $\overline{B L}$ のレベルがそれぞれ記憶ノード N 1，N 2 に与えられる。記憶ノード N 1，N 2 にそれぞれ「H」レベルおよび「L」レベルが与えられた場合は、MOS トランジスタ 1 1，1 4 が導通するとともに MOS トランジスタ 1 2，1 3 が非導通になり、記憶ノード N 1，N 2 のレベルが MOS トランジスタ 1 1～1 4 によってラッチされる。また、記憶ノード N 1，N 2 にそれぞれ「L」レベルおよび「H」レベルが与えられた場合は、MOS トランジスタ 1 2，1 3 が導通するとともに MOS トランジスタ 1 1，1 4 が非導通になり、記憶ノード N 1，N 2 のレベルが MOS トランジスタ 1 1～1 4 によってラッチされる。ワード線 W L が非選択レベルの「L」レベルにされると、N チャンネル MOS トランジスタ 1 5，1 6 が非導通になって、記憶ノード N 1，N 2 のレベルが保持される。

【 0 0 4 0 】

読出動作時は、ビット線負荷回路によってビット線対 B L， $\overline{B L}$ の各々が「H」レベルに充電される。ワード線 W L が選択レベルの「H」レベルにされると、N チャンネル MOS トランジスタ 1 5，1 6 が導通する。記憶ノード N 1，N 2 にそれぞれ「H」レベルおよび「L」レベルがラッチされている場合は、ビット線 $\overline{B L}$ から N チャンネル MOS トランジスタ 1 6，1 4 を介してメモリセル接地

配線MGLに電流が流出し、ビット線対BL、/BLはそれぞれ「H」レベルおよび「L」レベルになる。また、記憶ノードN1、N2にそれぞれ「L」レベルおよび「H」レベルがラッチされている場合は、ビット線BLからNチャネルMOSトランジスタ15、13を介してメモリセル接地配線MGLに電流が流出し、ビット線対BL、/BLがそれぞれ「L」レベルおよび「H」レベルになる。ビット線対BL、/BLのレベルを比較することにより、メモリセルMCの記憶データが読出される。ワード線WLが非選択レベルの「L」レベルにされると、NチャネルMOSトランジスタ15、16は非導通になってデータの読出が終了する。

【0041】

図4(b)(c)は、横長型メモリセルMCのレイアウトを示す図である。図4(b)(c)において、横長型メモリセルMCは、1つのN型ウェルNWとその両側に配置されたP型ウェルPW、PWの表面に形成される。まず、N型ウェルNWから一方のP型ウェルPWにわたって図中X方向に延在するゲート電極GE1と、N型ウェルNWから他方のP型ウェルPWにわたって図中X方向に延在するゲート電極GE2と、一方のP型ウェルPW上に図中X方向に延在するゲート電極GE3と、他方のP型ウェルPW上に図中X方向に延在するゲート電極GE4とがポリシリコン層によって形成される。

【0042】

次いで、一方のP型ウェルPWにおいてゲート電極GE1、GE3を横切るようにしてN型活性層NA1が形成され、他方のP型ウェルPWにおいてゲート電極GE2、GE4を横切るようにしてN型活性層NA2が形成され、N型ウェルNWにおいてそれぞれゲート電極GE1、GE2を横切るようにしてP型活性層PA1、PA2が形成される。

【0043】

ゲート電極GE1とP型活性層PA1、ゲート電極GE2とP型活性層PA2は、それぞれPチャネルMOSトランジスタ11、12を構成する。ゲート電極GE1とN型活性層NA1、ゲート電極GE3とN型活性層NA1は、それぞれNチャネルMOSトランジスタ13、15を構成する。ゲート電極GE2とN型

活性層NA2、ゲート電極GE4とN型活性層NA2は、それぞれNチャネルMOSトランジスタ14、16を構成する。

【0044】

次に、N型活性層NA1の中央部、P型活性層PA1の一方端部およびゲート電極GE2の一方端部にわたってローカル配線LL1が形成されるとともに、N型活性層NA2の中央部、P型活性層PA1の一方端部およびゲート電極GE1の一方端部にわたってローカル配線LL2が形成される。図4（b）において、ローカル配線LL1と活性層NA1、PA1とが重なっている部分は導通している。ローカル配線LL2と活性層NA2、PA2とが重なっている部分は導通している。ゲート電極GE2とローカル配線LL1、ゲート電極GE1とローカル配線LL2は、それぞれコンタクトホールCH、CHを介して互いに接続される。

【0045】

次に図4（c）に示すように、図中X方向に延在する複数のメタル配線MLが第1アルミ配線層によって形成され、さらにその上方に、図中Y方向に延在するメモリセル接地配線MGL、ビット線BL、副メモリセル電源配線MVL'、ビット線／BLおよびメモリセル接地配線MGLが第2アルミ配線層によって形成される。複数のメタル配線MLのうちメモリセルMCの中央部を横切るメタル配線は、ワード線WLとなる。

【0046】

P型活性層PA1の一方端部（PチャネルMOSトランジスタ11のソース）は、コンタクトホールCH、メタル配線MLおよびビアホールVHを介して副メモリセル電源配線MVL'に接続される。P型活性層PA2の一方端部（PチャネルMOSトランジスタ12のソース）はコンタクトホールCH、メタル配線MLおよびビアホールVHを介して副メモリセル電源配線MVL'に接続される。

【0047】

N型活性層NA1の一方端部（NチャネルMOSトランジスタ13のソース）は、コンタクトホールCH、メタル配線MLおよびビアホールVHを介してメモリセル接地配線MGLに接続される。N型活性層NA2の一方端部（Nチャネル

MOSトランジスタ14のソース)はコンタクトホールCH、メタル配線MLおよびビアホールVHを介してメモリセル接地配線MGLに接続される。

【0048】

N型活性層NA1の他方端部(NチャネルMOSトランジスタ15のドレイン)は、コンタクトホールCH、メタル配線MLおよびビアホールVHを介してビット線BLに接続される。N型活性層NA2の他方端部(NチャネルMOSトランジスタ16のドレイン)は、コンタクトホールCH、メタル配線MLおよびビアホールVHを介してビット線/BLに接続される。ゲート電極GE3、GE4は、それぞれコンタクトホールCHを介してワード線WLに接続される。

【0049】

次に図5に示すように、各メモリブロックMB行において、図中X方向に延在するグローバルワード線GWL、ビット線負荷電源配線BVL、ローカルデータ入出力線LIO、ビット線信号入出力線BL'、ビット線信号入出力線/BL'、ローカルデータ入出力線/LIO、メモリセル電源配線MVLおよびグローバル列選択線GYLが第3アルミ配線層によって形成される。これらの8本の配線GWL、BVL、LIO、BL'、/BL'、/LIO、MVL、GYLは、それぞれ各メモリブロックMBに含まれる8つのメモリセルMC行の上方に形成される。ビット線信号入出力線対BL'、/BL'は、それぞれコンタクトホールCH、CHを介して対応する列のビット線対BL、/BLに接続される。メモリセル電源配線MVLは、コンタクトホールCHを介して対応する列の副メモリセル電源配線MVL'に接続される。

【0050】

図3に戻って、ローカル行デコーダ6は、対応のグローバルワード線GWLが選択レベルの「L」レベルにされたことに応じて活性化され、対応のメモリブロックMBに含まれる8本のワード線WLのうちのいずれかのワード線WLを選択し、そのワード線WLを非選択レベルの「L」レベルから選択レベルの「H」レベルに立上げる。すなわちローカル行デコーダ6は、図6に示すように、それぞれ8本のワード線WLに対応して設けられた8つのNORゲート6a~6hを含む。NORゲート6a~6hの一方入力ノードはともにグローバルワード線GW

Lに接続され、各々の他方入力ノードはそれぞれ行選択信号 $\phi 1 \sim \phi 8$ 受け、各々の出力ノードはそれぞれ8本のワード線WLに接続される。行選択信号 $\phi 1 \sim \phi 8$ は、行アドレス信号に基づいてメモリセル行選択回路17によって生成される信号である。グローバルワード線GWLが選択レベルの「L」レベルになり、かつ行選択信号 $\phi 1 \sim \phi 8$ のうちのいずれかの信号（たとえば $\phi 1$ ）が選択レベルの「L」レベルになると、その信号 $\phi 1$ に対応するワード線WLが選択レベルの「H」レベルになる。

【0051】

なお、「JSSC vol.23, No5, Oct. 1988, pp1060-1066」には、行デコーダのレイアウト幅は、行選択信号の数に依存し、行選択信号の数が4つの場合と8つの場合では大差はなく、8つを超えると急激に大きくなることが開示されている。したがって、この実施の形態のSRAMでは、行選択信号 $\phi 1 \sim \phi 8$ の数は8つであるので、行デコーダ6のレイアウト面積は図14に示した従来のSRAMの行デコーダと大差がない。

【0052】

再び図3に戻って、ビット線負荷+データ入出力制御回路7は、ビット線信号入出力線対BL', /BL'を介して対応の列のビット線対BL, /BLを「H」レベルにプリチャージし、読出動作時はビット線信号入出力線対BL', /BL'間の電位差を増幅してローカルデータ入出力線対LIO, /LIOに与え、書込動作時はローカルデータ入出力線対LIO, /LIOとビット線信号入出力線対BL', /BL'を結合させるものである。

【0053】

すなわちビット線負荷+データ入出力制御回路7は、図7に示すように、ビット線負荷回路20、ゲート回路25、ANDゲート26, 27、センスアンプ28およびブロック選択スイッチ32を含む。ビット線負荷回路20は、PチャネルMOSトランジスタ21~24を含む。PチャネルMOSトランジスタ21, 22は対応のビット線負荷電源配線BVLとビット線信号入出力線BL'との間に並列接続され、各々のゲートはそれぞれビット線信号入出力線対BL', /BL'に接続される。PチャネルMOSトランジスタ23, 24は対応のビット線

負荷電源配線BVLと、ビット線信号入出力線／BL'との間に並列接続され、各々のゲートはそれぞれビット線信号入出力線対BL'，／BL'に接続される。ビット線信号入出力線対BL'，／BL'の電位が電源電位VDD'よりも低くなるとPチャネルMOSトランジスタ21～24が導通するので、ビット線信号入出力線対BL'，／BL'は「H」レベルに充電される。

【0054】

ゲート回路25の一方入力ノードは対応のグローバル列選択線GYLに接続され、その他方入力ノードはセンスアンプ活性化信号SEを受ける。ゲート回路25は、対応のグローバル列選択線GYLが選択レベルの「L」レベルにされ、かつセンスアンプ活性化信号SEが活性化レベルの「H」レベルにされたことに応じて「L」レベルの信号を出力する。ANDゲート26は、ブロック列選択信号BSi（ただし、iは1以上8以下の整数である）およびセンスアンプ活性化信号SEを受ける。ブロック列選択信号BS1～BS8は、それぞれ8つのメモリブロックMB列に予め割当てられており、アドレス信号に含まれるブロック列選択信号に基づいてブロック列選択回路35によって生成される。8つのメモリブロックMB列のうちの選択されたメモリブロックMBに対応するブロック選択信号BSiが選択レベルの「H」レベルにされる。ANDゲート27は、ブロック選択信号BSiおよび書込許可信号WEを受ける。書込許可信号WEは、書込動作時に活性化レベルの「H」レベルにされる信号である。

【0055】

センスアンプ28は、NチャネルMOSトランジスタ29～31を含む。NチャネルMOSトランジスタ29，30は、それぞれローカルデータ入出力線LIO，／LIOとノードN31との間に接続され、各々のゲートはそれぞれビット線信号入出力線／BL'，BL'に接続される。NチャネルMOSトランジスタ31は、ノードN31とNANDゲート25の出力ノードとの間に接続され、そのゲートはANDゲート26の出力信号を受ける。

【0056】

ローカルデータ入出力線対LIO，／LIOおよびビット線信号入出力線対BL'，／BL'は、予め「H」レベルにプリチャージされている。対応の列のあ

るメモリセルMCが活性化されると、そのメモリセルMCの記憶データに応じてビット線信号入出力線対BL', /BL' 間に電位差が生じる。ビット線信号入出力線BL' の電位がビット線信号入出力線/B L' の電位よりも高い場合は、NチャネルMOSトランジスタ30に流れる電流がNチャネルMOSトランジスタ29に流れる電流よりも大きくなってローカルデータ入出力線/LIOの電位がローカルデータ入出力線LIOの電位よりも低くなる。逆に、ビット線信号入出力線BL' の電位がビット線信号入出力線/B L' の電位よりも低い場合は、NチャネルMOSトランジスタ29に流れる電流がNチャネルMOSトランジスタ30に流れる電流よりも大きくなってローカルデータ入出力線LIOの電位がローカルデータ入出力線/B LIOの電位よりも低くなる。ローカルデータ入出力線対LIO, /LIO間の電位差は、ビット線信号入出力線対BL', /BL' 間の電位差よりも大きくなる。

【0057】

ブロック選択スイッチ32は、NチャネルMOSトランジスタ33, 34を含む。NチャネルMOSトランジスタ33, 34は、それぞれローカルデータ入出力線対LIO, /LIOとビット線信号入出力線対BL', /BL' との間に接続され、各々のゲートがともにANDゲート27の出力信号を受ける。

【0058】

書込動作時は、書込データDIに応じてローカルデータ入出力線対LIO, /LIOの一方が「H」レベルにされ他方が「L」レベルにされる。ブロック列選択信号BSiおよび書込許可信号WEがともに「H」レベルにされると、NチャネルMOSトランジスタ33, 34が導通し、ローカルデータ入出力線対LIO, /LIOのレベルがNチャネルMOSトランジスタ33, 34およびビット線信号入出力線対BL', /BL' を介して対応のビット線対BL, /BLに伝達される。対応の列のいずれかのメモリセルMCが活性化されると、そのメモリセルMCにデータが書込まれる。

【0059】

図2に戻って、電源制御回路5は、各2本の電源配線BVL, MVLに対応して設けられたスイッチ回路SWおよびプログラム回路PGを含む。スイッチ回路

SWは、図8に示すように、PチャネルMOSトランジスタ35, 36を含む。PチャネルMOSトランジスタ35, 36は、それぞれ電源電位VDD'のラインとビット線負荷電源配線BVLおよびメモリセル電源配線MVLの間に接続され、各々ゲートはともにプログラム回路PGの出力信号φEを受ける。

【0060】

信号φEが「L」レベルの場合は、PチャネルMOSトランジスタ35, 36が導通し、電源電位VDD'のラインからPチャネルMOSトランジスタ35, 36を介して電源配線BVL, MVLに電流が供給される。信号φEが「H」レベルの場合は、PチャネルMOSトランジスタ35, 36が非導通になり、電源電位VDD'のラインから電源配線BVL, MVLへの電流の供給が遮断される。PチャネルMOSトランジスタ35, 36の各々は、比較的大きな予め定められた導通抵抗値(10kΩ程度以上)を有する。このため、PチャネルMOSトランジスタ35, 36の導通時にラッチアップ現象が発生しても、電源電位VDD'のラインからPチャネルMOSトランジスタ35, 36および電源配線BVL, MVLを介して接地電位VSSのラインに流れる電流は小さくてすむ。

【0061】

プログラム回路PGは、ガードリング40、ヒューズ41、PチャネルMOSトランジスタ42、NチャネルMOSトランジスタ43、トランスファークゲート44およびインバータ45～47を含む。ヒューズ41は、ガードリング40内に設けられる。ガードリング40は、レーザブロー時のダメージによってヒューズ41周辺の回路が破壊されたり、ヒューズ41のブロー痕から周辺の回路に水分が浸入するのを防止するために設けられている。また、ガードリング40を設けていても微量の水分が浸入し、その水分によってメモリセルMCの記憶データが消滅することがあるので、ヒューズ41およびガードリング40は、メモリセルMCから最も離れた位置に配置される。

【0062】

ヒューズ41、PチャネルMOSトランジスタ42およびNチャネルMOSトランジスタ43は、電源電位VDDのラインと接地電位VSSラインとの間に直列接続される。PチャネルMOSトランジスタ42およびNチャネルMOSトラ

ンジスタ43のゲートは、リセット信号RSTを受ける。リセット信号RSTは、たとえば電源投入時に予め定められた時間T1だけ「H」レベルになる信号である。

【0063】

トランスファークゲート44およびインバータ46は、MOSトランジスタ42、43の間のノードN42と出力ノードN46との間に直列接続される。信号RSTDは、トランスファークゲート44のNチャネルMOSトランジスタ側のゲートに直接入力されるとともに、インバータ45を介してPチャネルMOSトランジスタ側のゲートに入力される。信号RSTDは、リセット信号RSTを予め定められた時間T2だけ遅延させた信号である。インバータ47は、インバータ46に逆並列に接続される。トランスファークゲート44およびインバータ45～47は、ラッチ回路を構成する。

【0064】

なお、電源電位VDDとVDD'は、同じ電位であるが、異なるパッドから与えられる。これは、スタンバイ電流不良の解析を容易にするためである。

【0065】

図9は、図8に示したプログラム回路PGの動作を示すタイムチャートである。図9において、初期状態では、信号RST、RSTDはともに「L」レベルになっており、PチャネルMOSトランジスタ42が導通するとともにNチャネルMOSトランジスタ43およびトランスファークゲート44は非導通になっている。ある時刻t1においてリセット信号RSTが「L」レベルから「H」レベルに立上げられると、PチャネルMOSトランジスタ42が非導通になるとともにNチャネルMOSトランジスタ43が導通し、ノードN42が「L」レベルにリセットされる。

【0066】

次いで時刻t2において信号RSTDが「L」レベルから「H」レベルに立上げられると、トランスファークゲート44が導通して信号φEが「H」レベルにリセットされる。次に、時刻t3においてリセット信号RSTが「H」レベルから「L」レベルに立下げられると、PチャネルMOSトランジスタ42が導通する

とともにNチャネルMOSトランジスタ43が非導通になる。

【0067】

このとき、ヒューズ41がブローされていない場合は、電源電位VDDがヒューズ41およびPチャネルMOSトランジスタ42を介してノードN42に与えられ、ノードN42が「L」レベルから「H」レベルに立上げられ、信号φEが「H」レベルから「L」レベルに立下げられる。また、ヒューズ41が十分にブローされている場合は、ノードN42は「L」レベルのまま変化せず、信号φEは「H」レベルのまま変化しない。また、ヒューズ41が不十分にブローされている場合は、不十分にブローされたヒューズ41が高い抵抗値を有するので、ノードN42の電位は徐々に上昇し、ノードN42の電位がインバータ46のしきい値電位を超えるのに長時間を要する。ノードN42の電位がインバータ46のしきい値電位を超えるまでは、信号φEは「H」レベルのまま変化しない。次いで時刻t4において信号RSTDが「H」レベルから「L」レベルに立下げられると、トランスファークラック44が非導通になり、信号φEのレベルがインバータ46、47によってラッチされる。

【0068】

したがって、ヒューズ41がブローされていない場合は信号φEが「L」レベルになり、ヒューズ41が十分にブローされている場合およびヒューズ41が不十分にブローされている場合は信号φEが「H」レベルになる。

【0069】

図10は、図1および図2で示した書込／読出回路3の構成を示すブロック図である。図10において、書込／読出回路3は、各ローカルデータ入出力線対LIO、／LIOに対応して設けられた負荷回路50および列選択ゲート51と、グローバルデータ入出力線対GIO、／GIOとを含む。

【0070】

負荷回路50は、図7に示したビット線負荷回路20と同じ構成であり、対応のローカルデータ入出力線対LIO、／LIOを「H」レベルに充電する。列選択ゲート51は、対応のローカルデータ入出力線対LIO、／LIOとグローバルデータ入出力線対GIO、／GIOとの間設けられ、対応のグローバル列選択

線GYLが選択レベルの「L」レベルにされたことに応じて導通する。

【0071】

また、この書込／読出回路3は、プリアンプ52、出力バッファ53、入力バッファ54およびライトドライバ55を含む。プリアンプ52は、読出動作時に活性化され、グローバルデータ入出力線対GIOと／GIOのレベルを比較し、比較結果に応じたレベルの信号を出力する。出力バッファ53は、プリアンプ52の出力信号を読出データ信号DOとして外部に出力する。

【0072】

入力バッファ54は、外部から与えられた書込データ信号DIをライトドライバ55に与える。ライトドライバ55は、入力バッファ54を介して与えられた書込データ信号DIのレベルに従って、グローバルデータ入出力線GIO、／GIOの一方を「H」レベルにし他方を「L」レベルにする。

【0073】

次に、図1～図10で示したSRAMの動作について説明する。書込動作時は、行アドレス信号に含まれるメモリブロック行選択信号に対応するグローバルワード線GWLがグローバル行デコーダ1によって選択レベルの「L」レベルに立下げられ、そのグローバルワード線GWLに対応する各ローカル行デコーダ6が活性化される。また、行アドレス信号から生成されるメモリセル行選択信号φ1～φ8に対応するワード線WLが、活性化されたローカル行デコーダ6によって選択レベルの「H」レベルに立上げられ、そのワード線WLに対応する各メモリセルMCが活性化される。

【0074】

次いで、書込許可信号WEが活性化レベルの「H」レベルになり、列アドレス信号から生成されるブロック列選択信号BS1～BS8に対応する各メモリブロックMBのゲート回路32が導通し、そのメモリブロックMBのビット線信号入出力線対BL'，／BL'が対応のローカルデータ入出力線対LIO，／LIOに接続される。また、列アドレス信号に含まれるメモリセル列選択信号に対応する1本のグローバル列選択線GYLが選択レベルの「L」レベルにされて対応の列選択ゲート51が導通し、対応のローカルデータ入出力線対LIO，／LIO

がグローバルデータ入出力線対G I O, /G I Oに接続される。

【0 0 7 5】

ライトドライバ5 5は、外部から入力バッファ5 4を介して与えられたデータ信号D Iに従ってグローバルデータ入出力線対G I O, /G I Oのうちの一方を「H」レベルにするとともに他方を「L」レベルにし、活性化されたメモリセルMCにデータD Iを書込む。グローバルワード線G W Lおよびグローバル列選択線G Y Lが非選択レベルの「H」レベルに立上げられると、そのメモリセルMCにデータが記憶される。

【0 0 7 6】

読出動作時は、列アドレス信号に含まれるメモリセル列選択信号に対応する1本のグローバル列選択線G Y Lが選択レベルの「L」レベルにされて対応の列選択ゲート5 1が導通し、対応のローカルデータ入出力線対L I O, /L I Oがグローバルデータ入出力線対G I O, /G I Oに接続される。

【0 0 7 7】

次に、行アドレス信号に含まれるメモリブロック行選択信号に対応するグローバルワード線G W Lがグローバル行デコーダ1によって選択レベルの「L」レベルに立下げられ、そのグローバルワード線G W Lに対応する各ローカル行デコーダ6が活性化される。また、行アドレス信号から生成されるメモリセル行選択信号 ϕ 1～ ϕ 8に対応するワード線W Lが、活性化されたローカル行デコーダ6によって選択レベルの「H」レベルに立上げられ、そのワード線W Lに対応する各メモリセルMCが活性化される。これにより、行デコーダ1, 6によって選択されたメモリセルMCが記憶しているデータに応じてビット線対B L, /B Lのうちの一方からそのメモリセルMCに電流が流入し、ビット線信号入出力線対B L', /B L'のうちの一方の電位が低下する。

【0 0 7 8】

次いで、センスアンプ活性化信号S Eが活性化レベルの「H」レベルになり、列アドレス信号から生成されるブロック列選択信号B S iが活性化レベルの「H」レベルになり、かつ列アドレス信号に含まれるメモリセル列選択信号に対応する1本のグローバル列選択線G Y Lが選択レベルの「L」レベルにされると、選

択されたメモリブロックMBのセンスアンプ28が活性化される。これにより、ビット線信号入出力線対BL'，／BL'の電位差が増幅されてグローバルデータ入出力線対GIO，／GIOに伝達される。プリアンプ52は、グローバルデータ入出力線GIOと／GIOの電位を比較し、比較結果に応じたデータDOを出力バッファ53を介して外部に出力する。

【0079】

次に、このSRAMの使用方法について説明する。まず、各メモリセルMCが正常か否かをテストし、不良なメモリセルMCを含むメモリセル行または列をスペアのメモリセル行または列と置換するとともに、不良なメモリセルMCを含むメモリセル列に対応するプログラム回路PGのヒューズ41をブローする。

【0080】

ヒューズ41がブローされていないメモリセル列では、プログラム回路PGの出力信号φEが「L」レベルになってスイッチ回路SWのPチャネルMOSトランジスタ35，36が導通する。これにより、電源電位VDD'のラインからPチャネルMOSトランジスタ35，36を介してその列のビット線負荷電源配線BVLおよびメモリセル電源配線MVLに電源電位VDD'が与えられ、そのメモリセル列は正常に動作する。

【0081】

また、ヒューズ41が十分にブローされたメモリセル列およびヒューズ41が不十分にブローされたメモリセル列では、プログラム回路PGの出力信号φEが「L」レベルになってPチャネルMOSトランジスタ35，36が非導通になる。これにより、その列のビット線負荷電源配線BVLおよびメモリセル電源配線MVLがフローティング状態にされ、その列のメモリセルMCにショート部分がある場合でもそのショート部分に電流は流れない。したがって、スタンバイ電流の低減化が図られる。

【0082】

この実施の形態では、各メモリブロックMBの8つのメモリセル行の上方にそれぞれ8本の配線GWL，BVL，LIO，BL'，／BL'，／LIO，MVL，GYLを配置するので、横長型メモリセルMCを用いてT型ビット線構造の

SRAMを容易に構成できる。

【0083】

また、大振幅信号が伝達されるグローバルワード線GWLおよびグローバル列選択線GYLと小振幅信号が伝達される他の配線BL'、/BL'、LIO、/LIO'との間にそれぞれ電源配線BVL、MVLを配置するので、信号線間のカップリングノイズの低減化も図ることができる。

【0084】

また、スタンバイ時において8本の配線GWL、BVL、LIO、BL'、/BL'、/LIO、MVL、GYLをとともに「H」レベルにするので、配線間にショート部分があった場合でもショート部分に電流が流れるのを防止することができ、スタンバイ電流の低減化を図ることができる。

【0085】

また、不良なメモリセル列に対応するプログラム回路PGのヒューズ41をブローすることにより、PチャネルMOSトランジスタ35、36を非導通にして電源配線BVL、MVLをフローティング状態にするので、電源配線BVL、MVLから不良メモリセルMCのショート部分などに電流がリークするのを防止することができ、スタンバイ電流の低減化を図ることができる。

【0086】

また、ヒューズ41をガードリング40内に設けるとともにチップの端部に配置したので、ヒューズ41のブロー痕から浸入した水分によってメモリセルMCの記憶データが消去されるのを防止することができる。

【0087】

また、ヒューズ41のピッチは、半導体のデザインルールで決まるのではなく、レーザの位置決め精度などのレーザトリミング工程の精度で決まるので、ヒューズ41のピッチの縮小化は配線ピッチの縮小化ほどには進まない。したがって、各ビット線対BL、/BLごとにヒューズ41を設けるのは、チップ面積の増大を招き現実的でない。この実施の形態では、8組のビット線対BL、/BLにヒューズ41を共通に設けたので、ヒューズ41の数が少なくすみ、チップ面積が小さくてすみ。

【 0 0 8 8 】

図 1 1 は、この実施の形態の変更例を示す図である。図 1 1 において、この変更例が図 1 の S R A M と異なる点は、グローバル行デコーダ 1 が書込／読出回路 3 とグローバル列デコーダ 4 の間に配置されている点と、電源制御回路 5 が電源制御回路 5' で置換されている点である。電源制御回路 5' は、スイッチ回路 S W およびプログラム回路 P G' を含む。

【 0 0 8 9 】

プログラム回路 P G' は、図 1 2 に示すように、図 8 のプログラム回路 P G にヒューズ 6 1、P チャネル M O S トランジスタ 6 2、N チャネル M O S トランジスタ 6 3、トランスファークゲート 6 4、インバータ 6 5 ～ 6 7 およびノード N 6 2、N 6 6 を追加したものである。ヒューズ 6 1、P チャネル M O S トランジスタ 6 2、N チャネル M O S トランジスタ 6 3、トランスファークゲート 6 4、インバータ 6 5 ～ 6 7 およびノード N 6 2、N 6 6 は、ヒューズ 4 1、P チャネル M O S トランジスタ 4 2、N チャネル M O S トランジスタ 4 3、トランスファークゲート 4 4、インバータ 4 5 ～ 4 7 およびノード N 4 2、N 4 6 と同様に接続されている。

【 0 0 9 0 】

ヒューズ 4 1、6 1 は、ガードリング 4 0 内に配置されている。ヒューズ 4 1 は、上述したように、各 2 本の電源配線 B V L、M V L に対して設けられている。ヒューズ 6 1 は、各グローバルワード線 G W L に対応して設けられている。ヒューズ 6 1 は、対応のメモリブロック行が不良な場合にブローされる。ヒューズ 6 1 がブローされると、対応のグローバルワード線 G W L がグローバル行デコーダ 1 によって非選択レベルの「H」レベルに固定される。これにより、不良なメモリブロック行のメモリセル M C が活性化されることが防止される。また、グローバルワード線 G W L がビット線負荷電源配線 B V L とショートしている場合でも、ショート部を介して電流がリークするのを防止することができる。

【 0 0 9 1 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範

図によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0092】

【発明の効果】

以上のように、この発明に係るスタティック型半導体記憶装置では、各々が8行M列に配置された8×M個の横長型のメモリセルを含み、M行N列に配置されたM×N個のメモリブロックと、M×N組の第1および第2のビット線信号入出力線と、M組の第1および第2のデータ入出力線、第1および第2の電源配線、グローバルワード線ならびにグローバル列選択線と、アドレス信号に従ってM×N個のメモリブロックのうちのいずれかのメモリブロックとそのメモリブロックに属する8×M個のメモリセルのうちのいずれかのメモリセルとを選択する選択回路と、書込／読出回路と、選択回路によって選択されたメモリセルを書込／読出回路に結合させるゲート回路とが設けられ、各メモリブロックにおいて上記8本の配線はそれぞれそのメモリブロックの8つのメモリセル行の上方に配置され、グローバルワード線およびグローバル列選択線と他の4本の配線との間にそれぞれ第1および第2の電源配線が配置される。したがって、1つのメモリセル行の上方に1本の配線を設ければよいので、横長型のメモリセルを用いてT型ビット線構造のSRAMを容易に構成することができ、レイアウト面積の縮小化および動作速度の高速化を図ることができる。また、大振幅信号が伝達されるグローバルワード線およびグローバル列選択線と小振幅の信号が伝達される他の4本の配線との間にそれぞれ第1および第2の電源配線を配置するので、配線間のカップリングノイズが軽減される。

【0093】

好ましくは、M組の第1および第2の電源配線は、それぞれ各メモリブロック列においてM組の第1および第2のビット線に対応して設けられ、さらに、各メモリブロックに対応して設けられ、対応の第1の電源配線を介して与えられた電源電位を対応の第1および第2のビット線信号入出力線に与えるためのビット線負荷回路と、各第1および第2のビット線に対応して設けられ、対応の第2の電源配線を介して与えられた電源電位を対応の各メモリセルに与えるための第3の

電源配線とが設けられる。この場合は、第1および第2の電源配線の有効活用を図ることができる。

【0094】

また好ましくは、さらに、各第1の電源配線に対応して設けられ、その一方電極が対応の第1の電源配線に接続され、その他方電極が電源電位を受ける第1のスイッチング素子と、各第2の電源配線に対応して設けられ、その一方電極が対応の第2の電源配線に接続され、その他方電極が電源電位を受ける第2のスイッチング素子と、各第1および第2の電源配線に対応して設けられ、対応のメモリセル列が不良である場合にブローされる第1のヒューズを含み、その第1のヒューズがブローされたことに応じて対応の第1および第2のスイッチング素子を非導通にする第1のプログラム回路とが設けられる。この場合は、不良なメモリセル列に対応する第1のプログラム回路の第1のヒューズをブローすることにより、第1および第2のスイッチング素子を非導通にして対応の第1および第2の電源配線をフローティング状態にすることができる。よって、第1の電源配線からメモリセルのショート部分などに電流がリークするのを防止することができ、スタンバイ電流の低減化を図ることができる。

【0095】

また好ましくは、選択回路は、アドレス信号に従ってM本のグローバル列選択線のうちのいずれかのグローバル列選択線を選択し、そのグローバル列選択線を選択レベルにするグローバル列デコーダと、アドレス信号に従ってM本のグローバルワード線のうちのいずれかのグローバルワード線を選択し、そのグローバルワード線を選択レベルにするグローバル行デコーダとを含み、第1のプログラム回路は、さらに、第1のヒューズがブローされたことに応じて、グローバル列デコーダを制御して対応のグローバル列選択線を非選択レベルに固定させる。この場合は、グローバル列選択線と他の配線とがショートしている場合に、ショート部を介して電流がリークするのを防止することができる。

【0096】

また好ましくは、第1のプログラム回路のうちの第1のヒューズ以外の部分とグローバル列デコーダとは、第1のヒューズとメモリブロックの間に配置されて

いる。この場合は、第1のヒューズとメモリセルとの間の距離を大きくするので、レーザブローの影響がメモリセルに及ぶのを防止することができる。

【0097】

また好ましくは、さらに、各グローバルワード線に対応して設けられ、対応のメモリブロック行が不良である場合にブローされる第2のヒューズを含み、その第2のヒューズがブローされたことに応じて、グローバル行デコーダを制御して対応のグローバルワード線を非選択レベルに固定させる第2のプログラム回路が設けられる。この場合はグローバルワード線と他の配線とがショートしている場合に、ショート部を介して電流がリークするのを防止することができる。

【0098】

また好ましくは、第1および第2のプログラム回路のうちの第1および第2のヒューズ以外の部分とグローバル列デコーダとグローバル行デコーダとは、第1および第2のヒューズとメモリブロックとの間に配置されている。この場合は、第1および第2のヒューズとメモリセルとの間の距離を大きくするので、レーザブローの影響がメモリセルに及ぶのを防止することができる。

【図面の簡単な説明】

【図1】 この発明の一実施の形態によるSRAMのレイアウトを示すブロック図である。

【図2】 図1に示したSRAMの1メモリブロック行に関連する部分を示すブロック図である。

【図3】 図1に示したメモリブロックの構成を示すブロック図である。

【図4】 図3に示したメモリセルの構成およびレイアウトを示す図である。

。

【図5】 図2～図4に示した複数の配線のレイアウトを示す図である。

【図6】 図3に示したローカル行デコーダの構成を示す回路図である。

【図7】 図3に示したビット線負荷+データ入出力制御回路の構成を示す回路図である。

【図8】 図1および図2に示したスイッチ回路SWおよびプログラム回路PGの構成を示す回路図である。

【図 9】 図 8 に示したプログラム回路 P G の動作を示すタイムチャートである。

【図 1 0】 図 1 に示した書込／読出回路の構成を示すブロック図である。

【図 1 1】 この実施の形態の変更例を示す図である。

【図 1 2】 図 1 1 に示したプログラム回路 P G ' の構成を示す回路図である。

【図 1 3】 従来の S R A M のメモリセルの構成およびレイアウトを示す図である。

【図 1 4】 従来の T 型ビット線構造の S R A M の要部を示す図である。

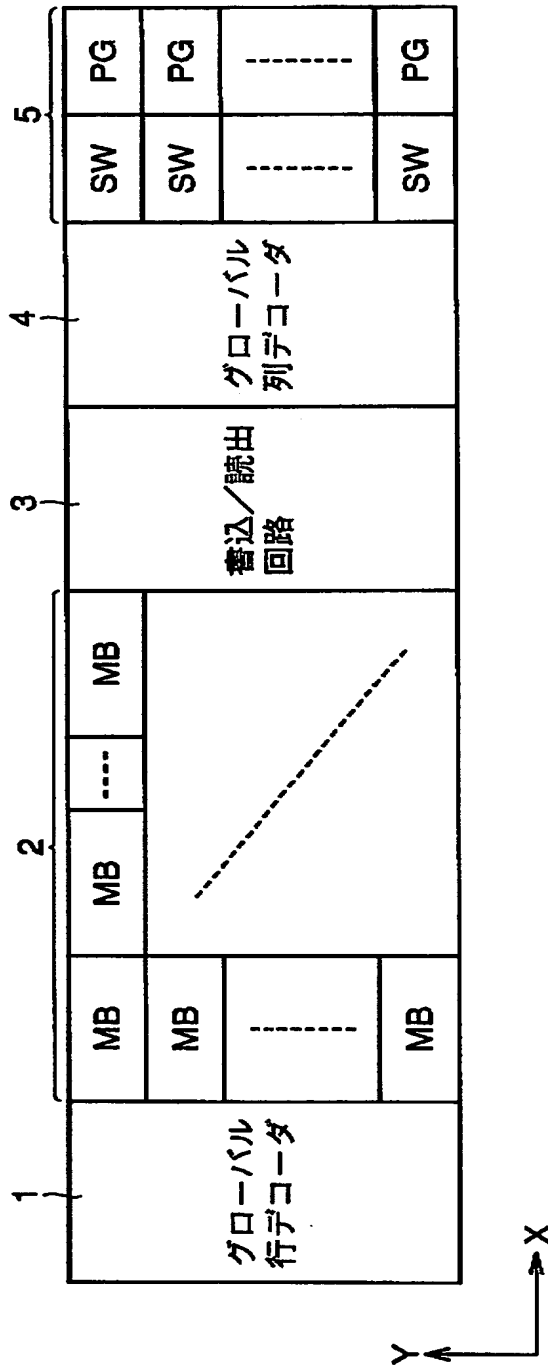
【符号の説明】

1 グローバル行デコーダ、2 メモリアレイ領域、MB メモリブロック、
3 書込／読出回路、4 グローバル列デコーダ、5, 5' 電源制御回路、S
W スイッチ回路、P G, P G ' プログラム回路、G W L グローバルワード
線、G Y L グローバル列選択線、B V L ビット線負荷電源配線、M V L メ
モリセル電源配線、L I O, / L I O ローカルデータ入出力線対、B L ' , /
B L ' ビット線信号入出力線対、W L ワード線、B L, / B L ビット線対
、M C メモリセル、6 ローカル行デコーダ、6 a ~ 6 h N O R ゲート、7
ビット線負荷 + データ入出力制御回路、1 1, 1 2, 2 1 ~ 2 4, 3 5, 3 6
、4 2, 6 2, 8 2 P チャンネル M O S トランジスタ、1 3 ~ 1 5, 2 9 ~ 3 1
、3 3, 3 4, 4 3, 6 3, 8 3 ~ 8 6 N チャンネル M O S トランジスタ、1 7
メモリセル行選択回路、2 0 ビット線負荷回路、2 5 ゲート回路、2 6,
2 7 A N D ゲート、2 8 センスアンプ、3 2 ブロック選択スイッチ、3 5
ブロック列選択回路、4 0 ガードリング、4 1, 6 1 ヒューズ、4 4, 6
4 トランスファージェート、4 5 ~ 4 7, 6 5 ~ 6 7 インバータ、5 0 負荷
回路、5 1 列選択回路、5 2 プリアンプ、5 3 出力バッファ、5 4 入力
バッファ、5 5 ライトドライバ。

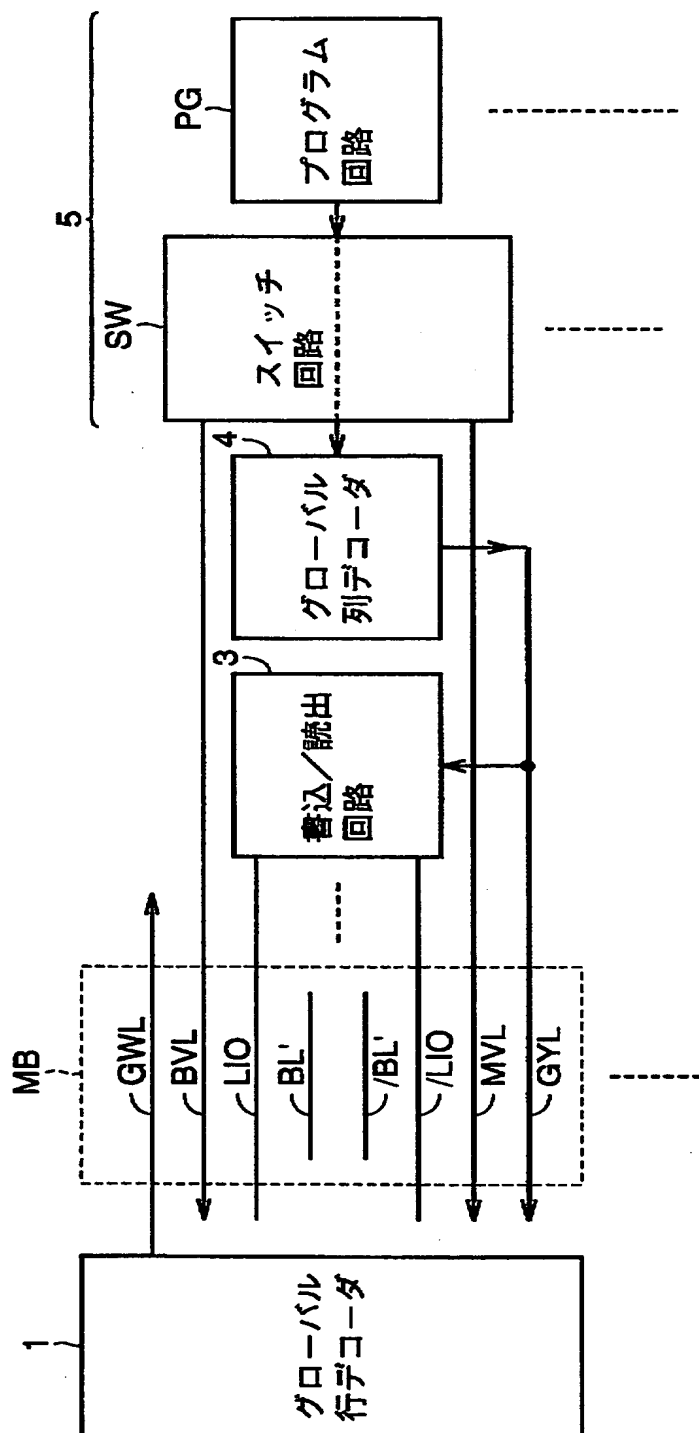
【書類名】

図面

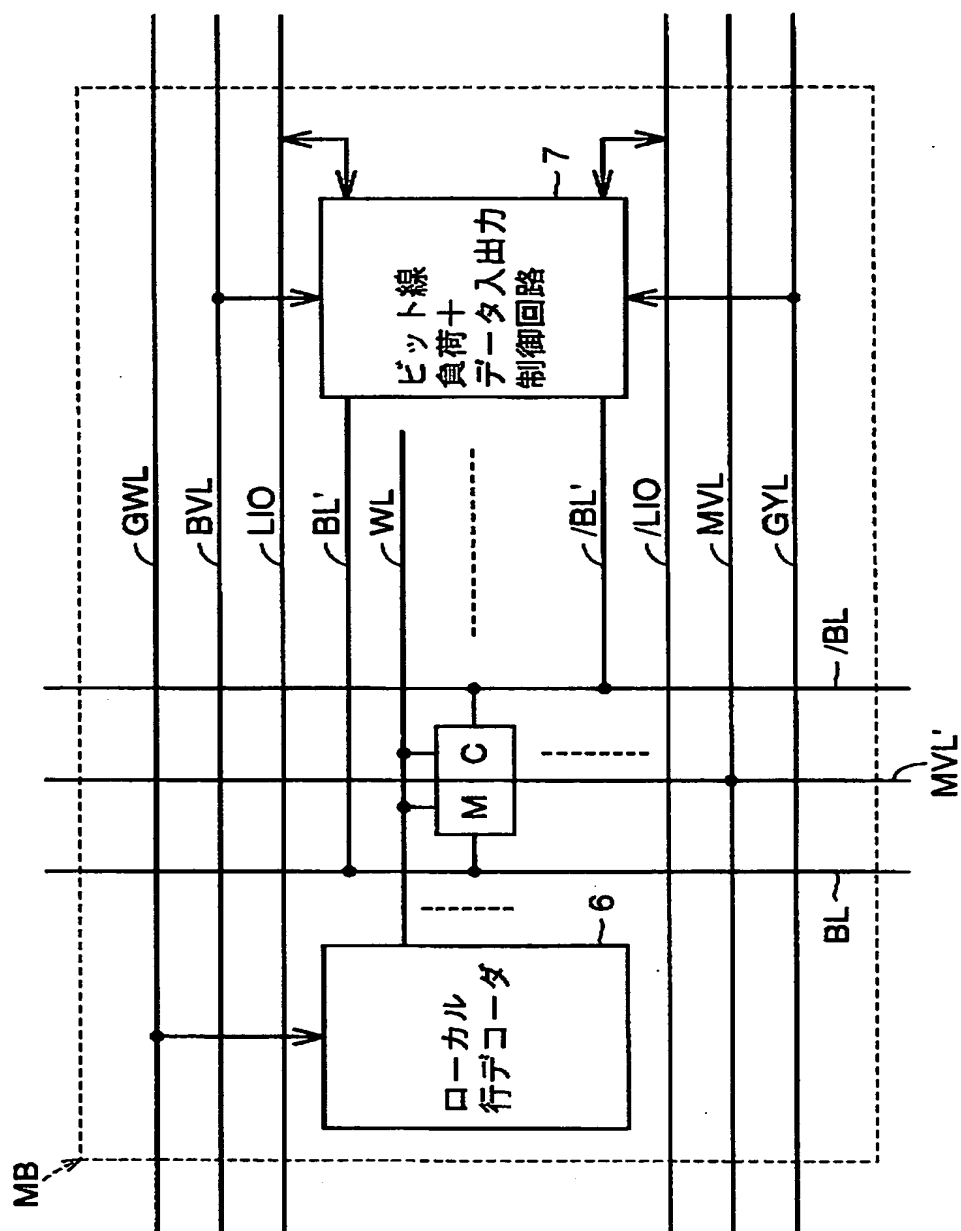
【図 1】



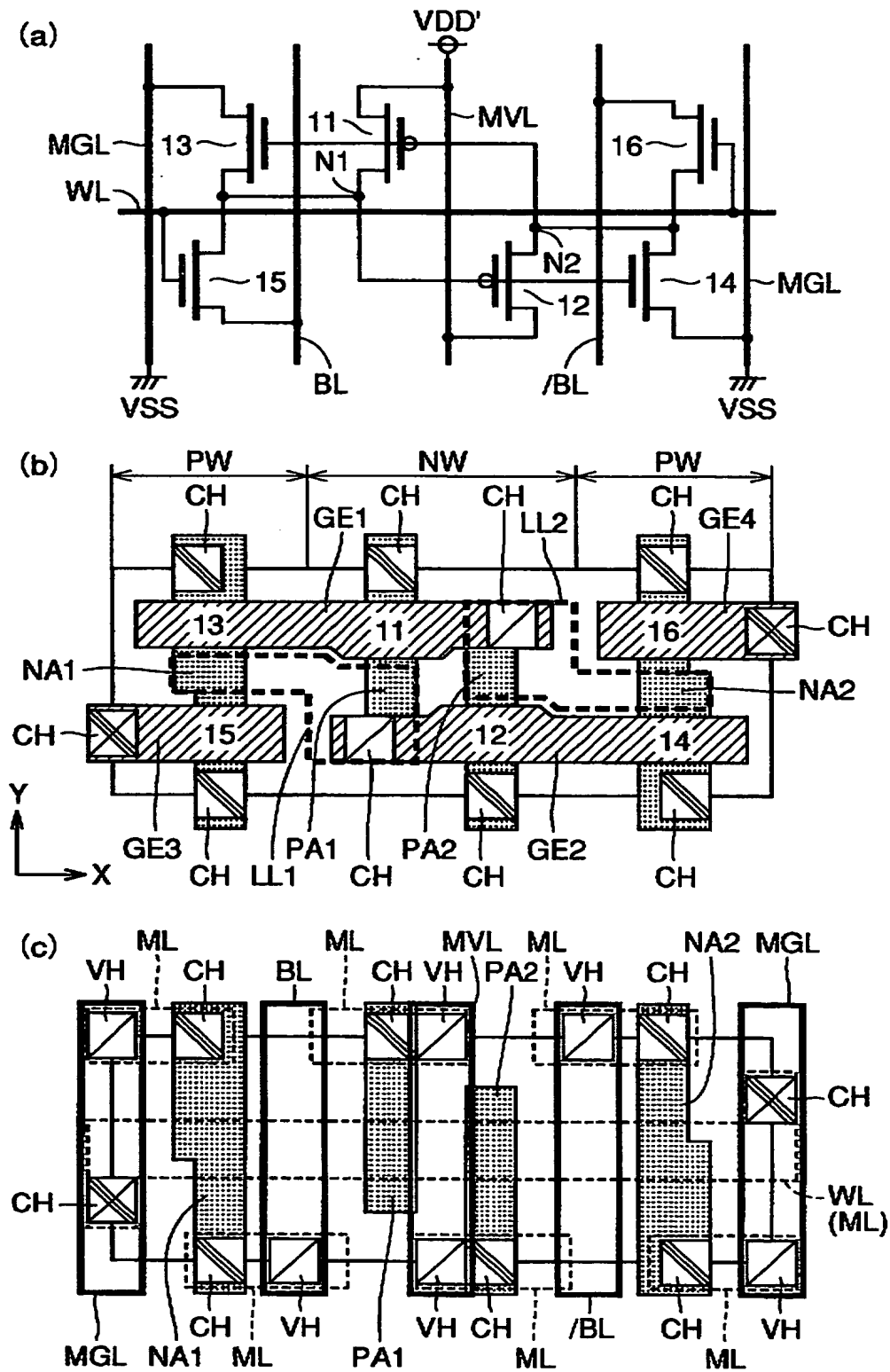
【図2】



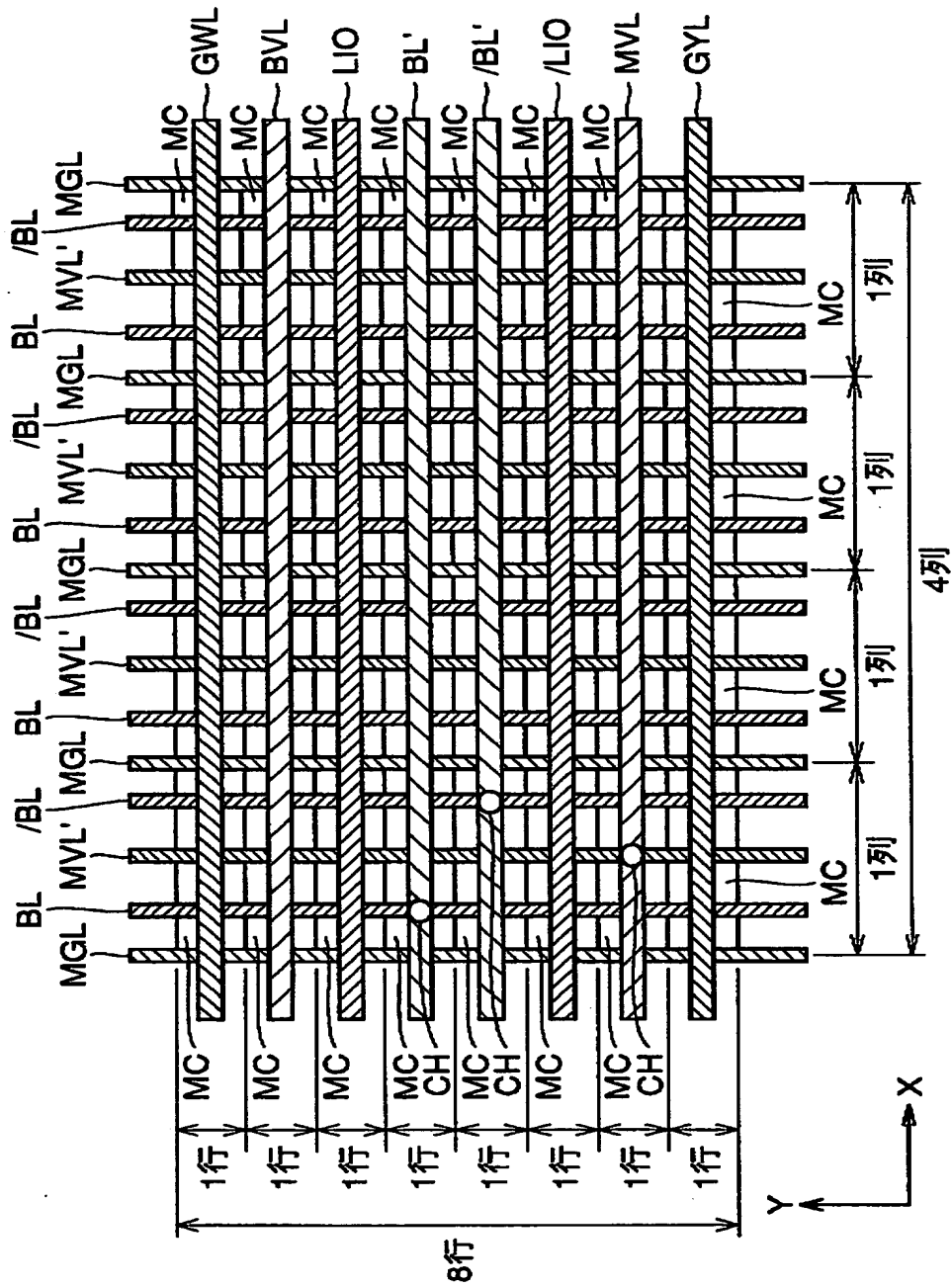
【図 3】



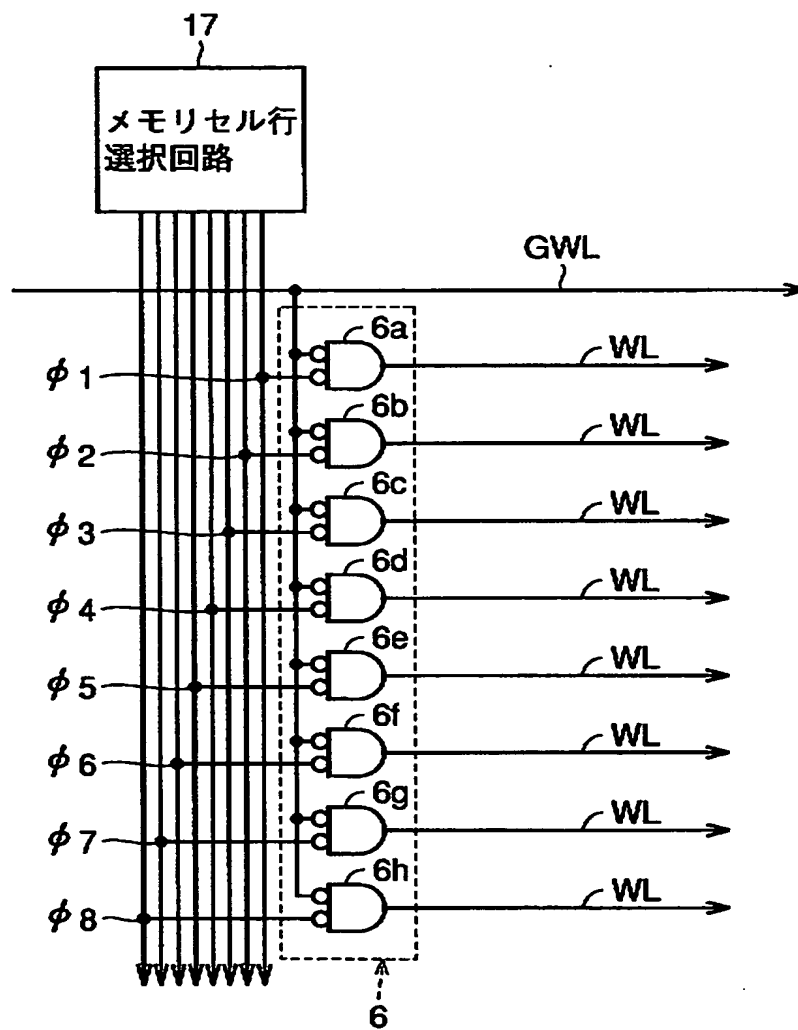
【図 4】



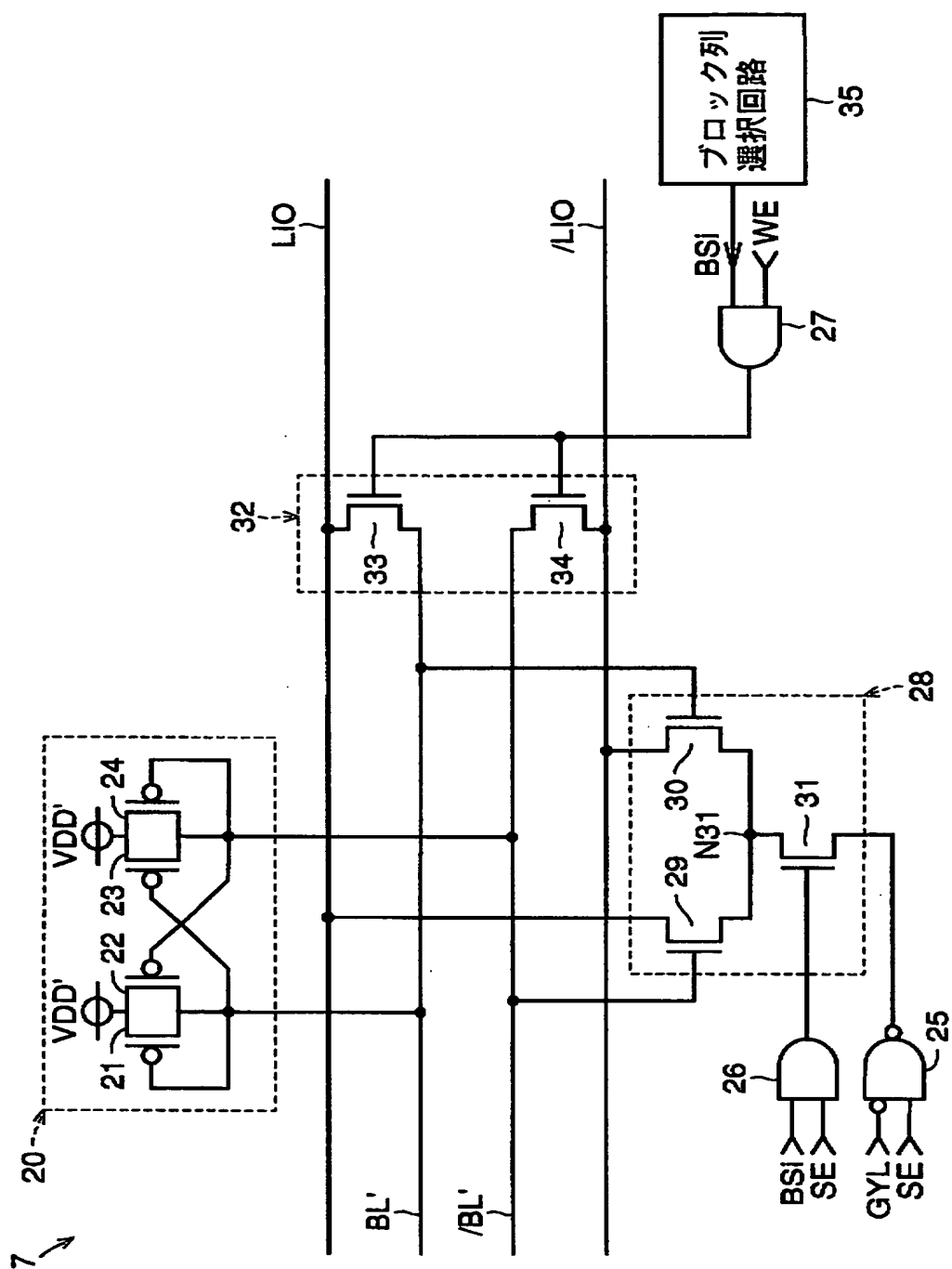
【図5】



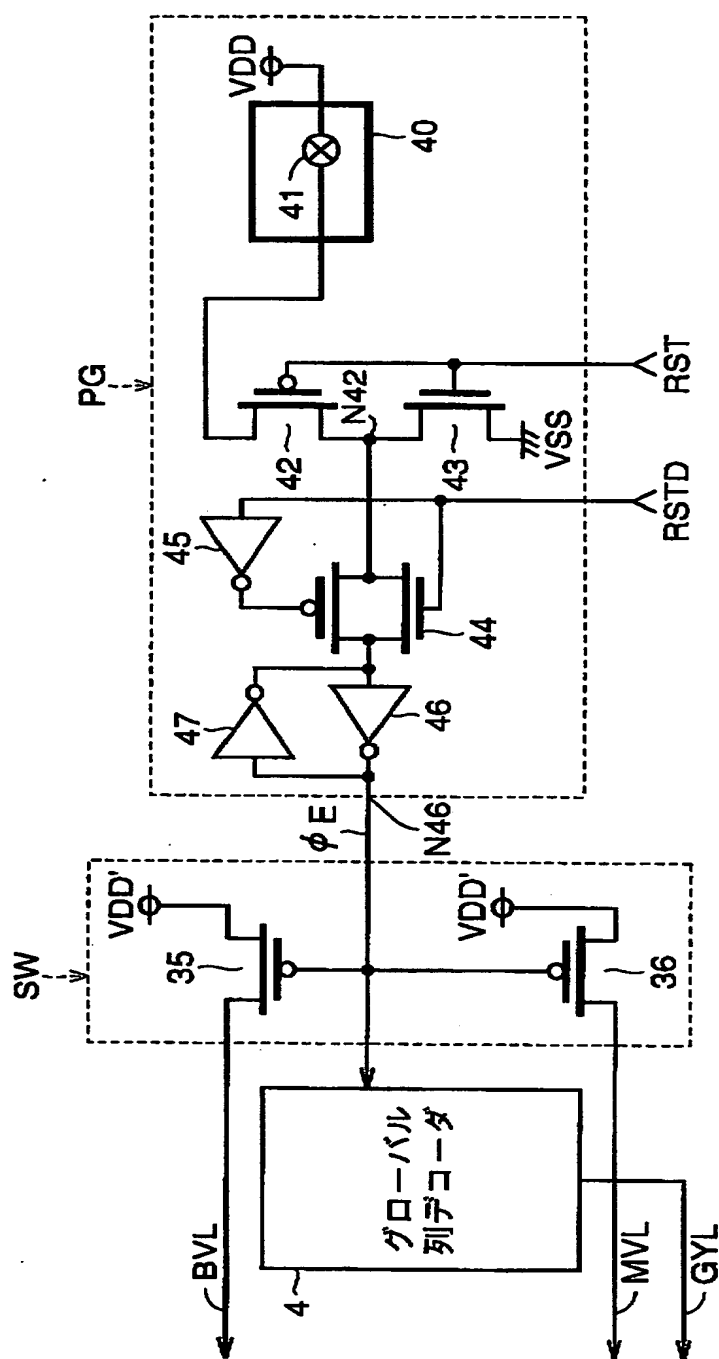
【図 6】



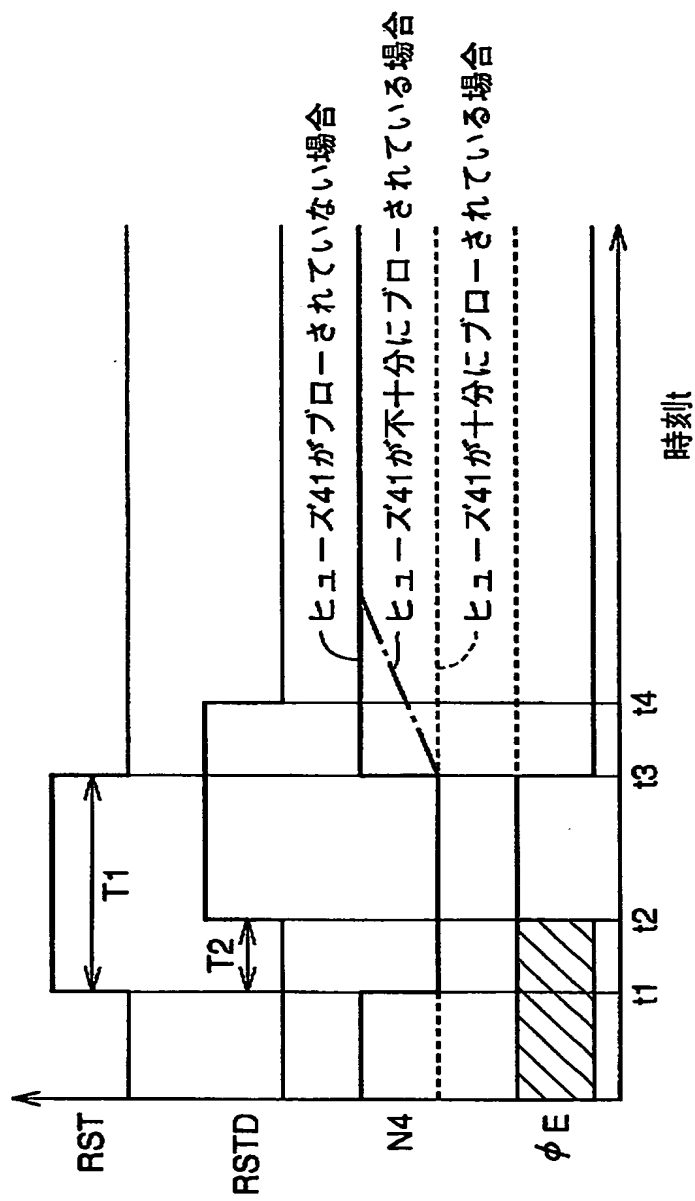
【図 7】



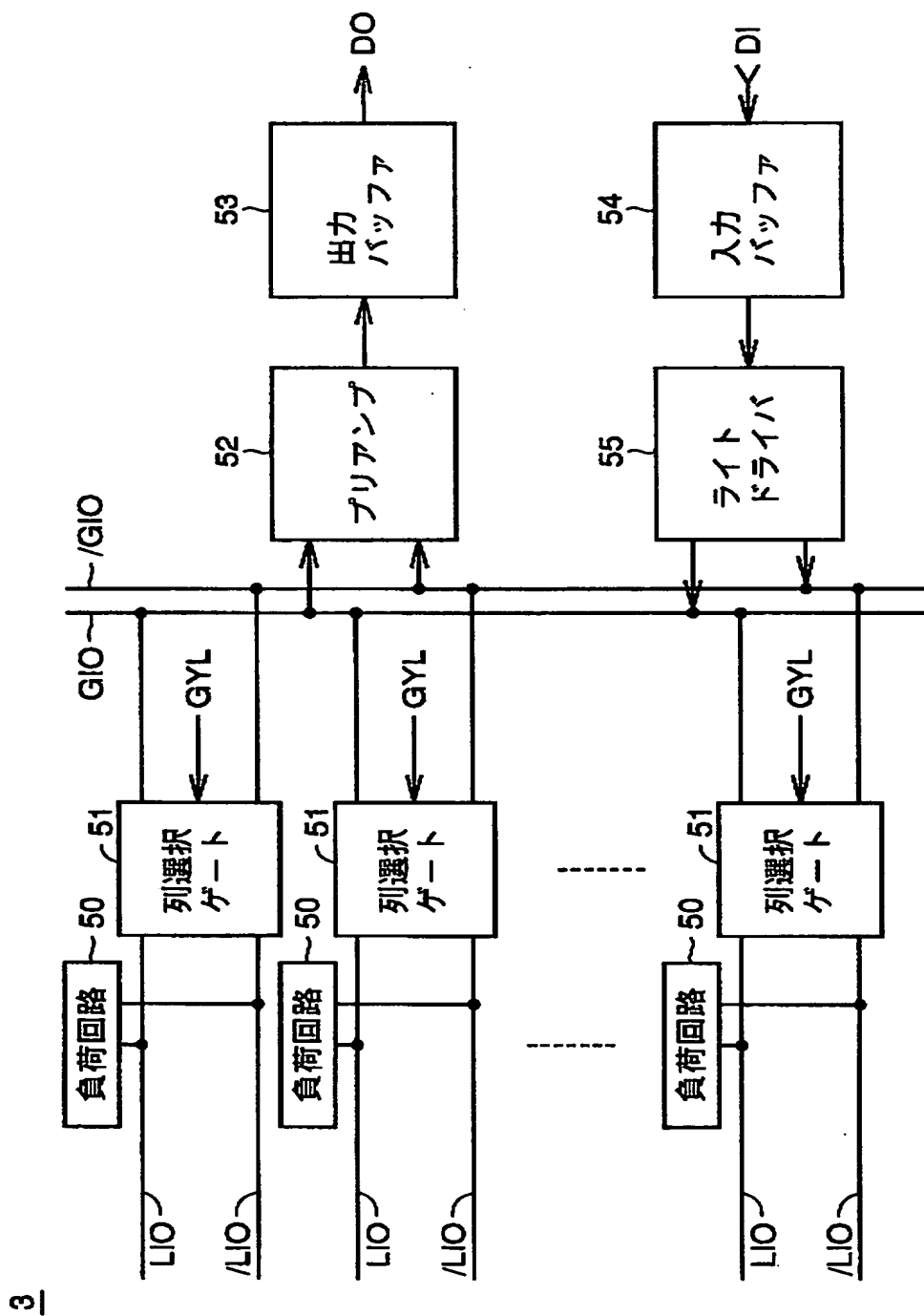
【図8】



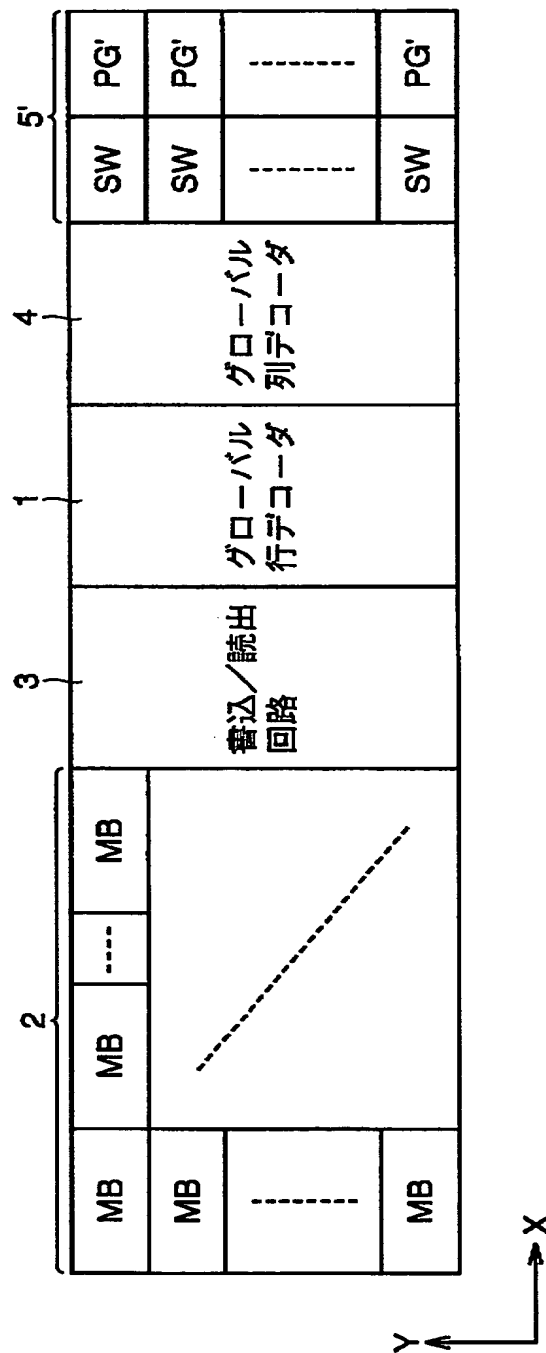
【図9】



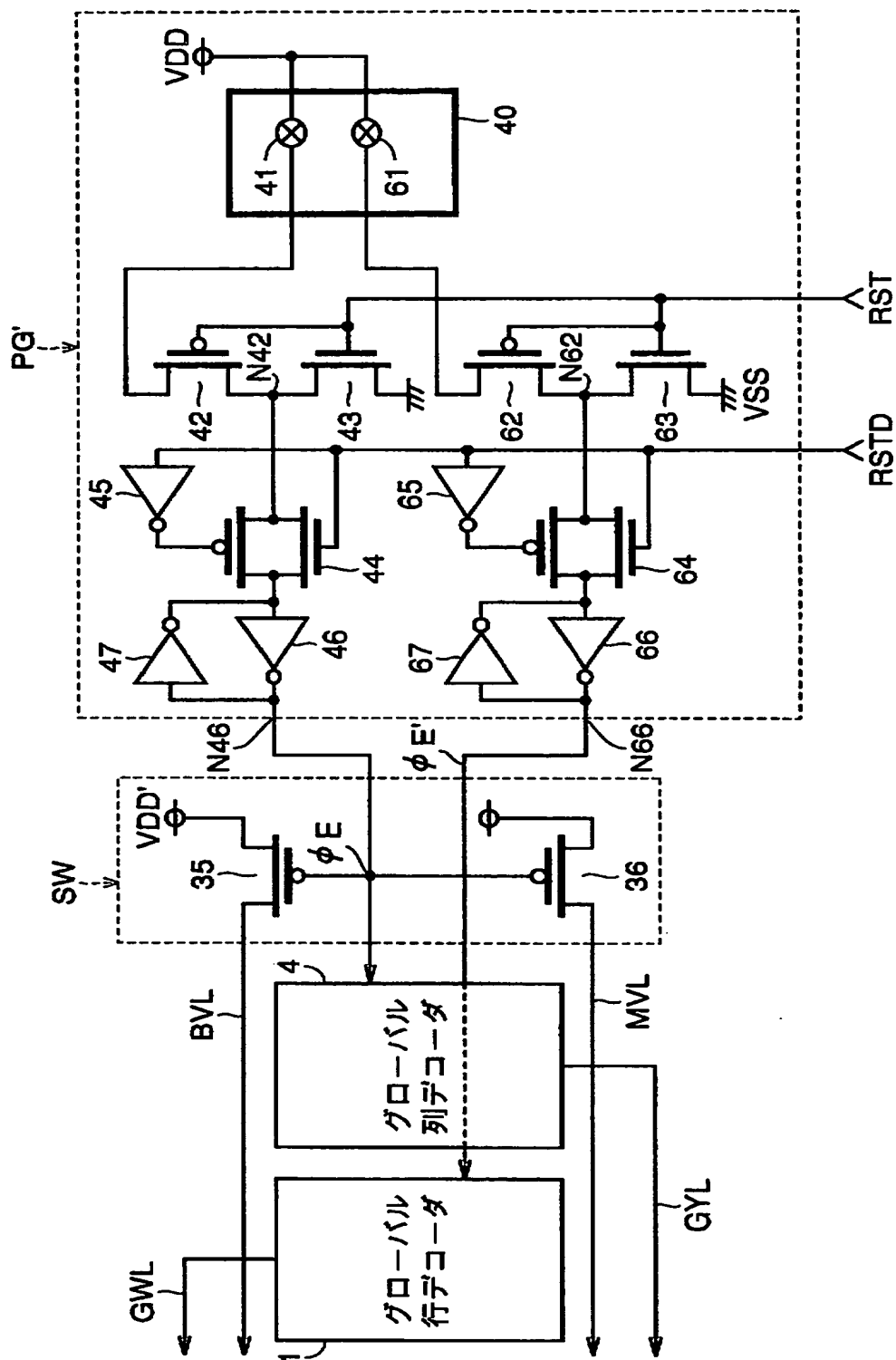
【図10】



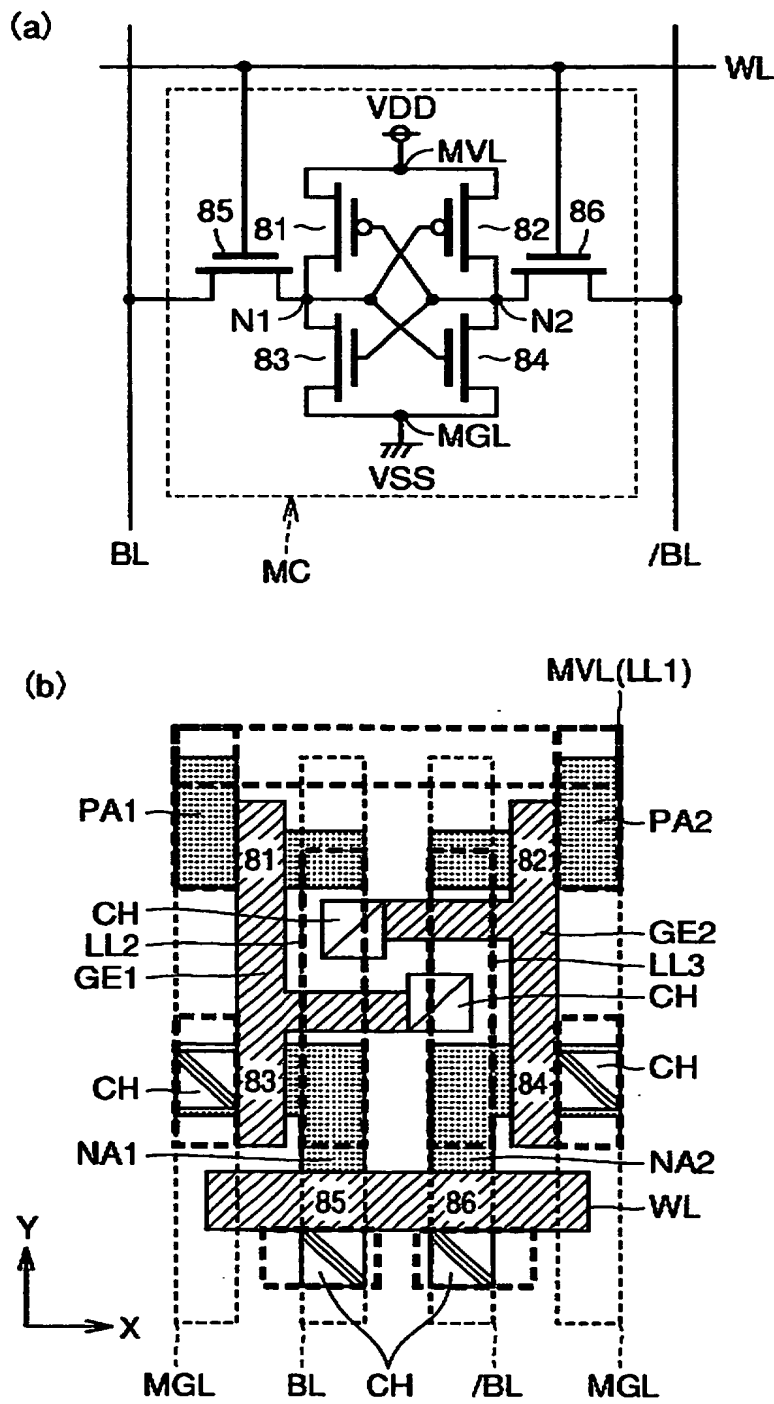
【図 11】



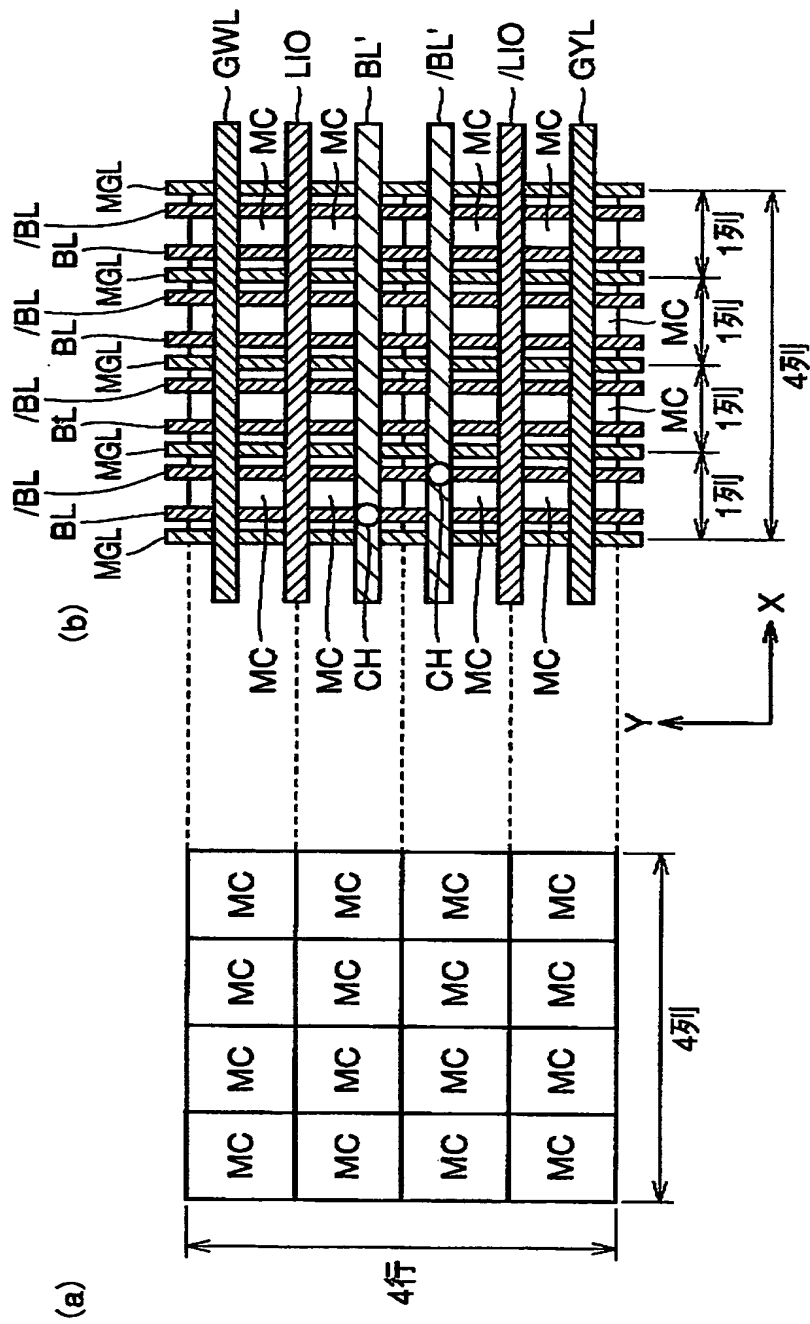
【图 1 2】



【図13】



【図 14】



【書類名】 要約書

【要約】

【課題】 レイアウト面積が小さく、動作速度が速いスタティック型半導体記憶装置を提供する。

【解決手段】 8行256列の横長型メモリセルMCを含むメモリブロックMBの上方に、グローバルワード線GWL、ビット線負荷電源配線BVL、ローカルデータ入出力線対LIO、／LIO、ビット線信号入出力線対BL'、／BL'、メモリセル電源配線MVLおよびグローバル列選択線GYLの合計8本の配線を等間隔で配置する。1メモリセル行当り1本の配線を設ければよいので、横長型メモリセルMCを用いてT型ビット線構造のSRAMを容易に構成でき、レイアウト面積の縮小化と動作速度の高速化を図ることができる。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社